

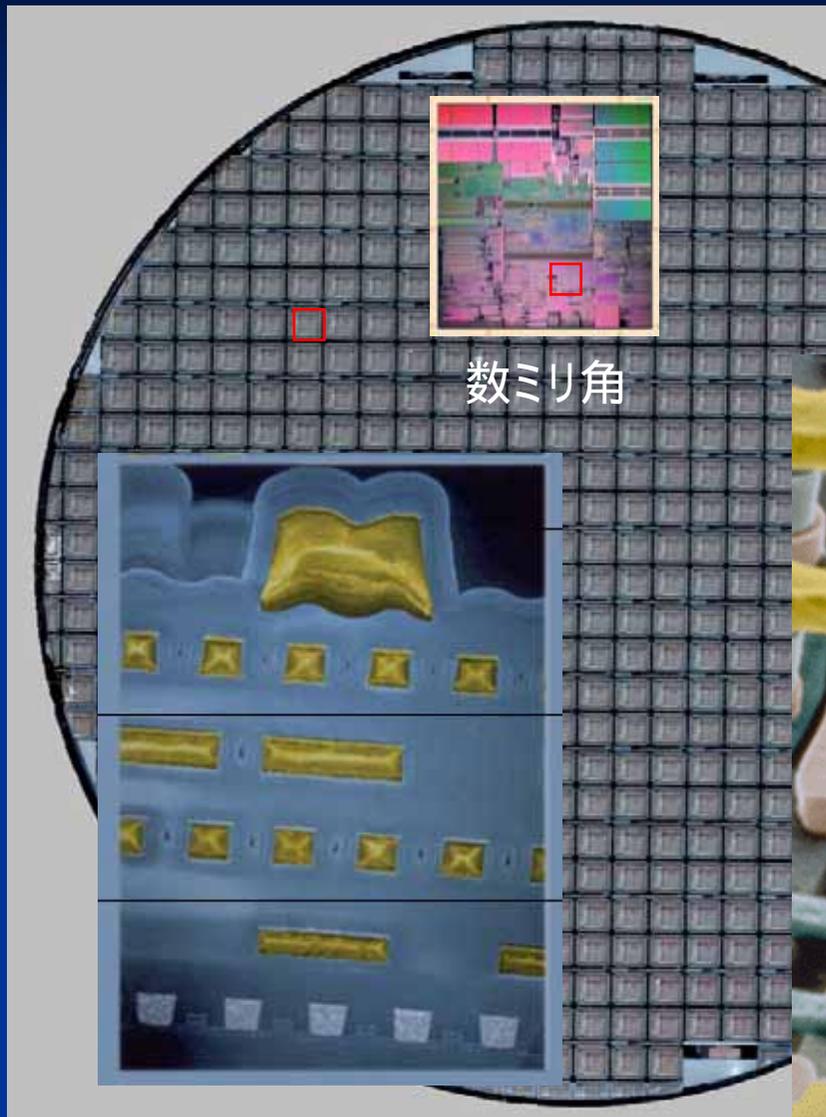
# S言語を使った薄膜の信頼性評価方法

平成18年11月22日(水曜日) 東京

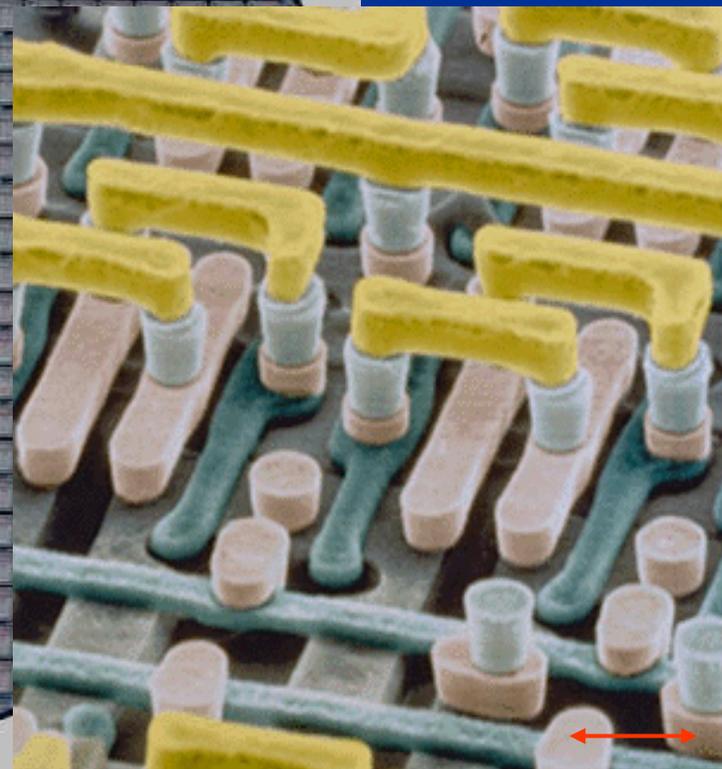
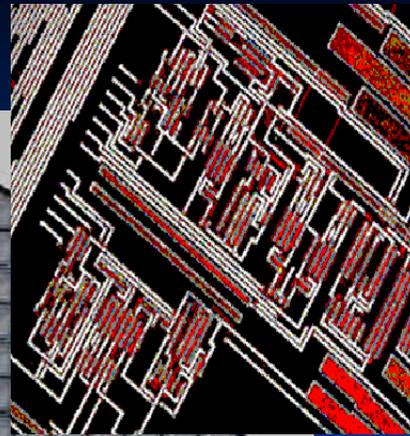
清水正男

## 目次

1. 電子回路とMOSトランジスター
2. 薄膜評価試験(TDDDB)
3. サンプルングによる薄膜面積の拡大方法の提案
4. パーコレーションモデルによるシミュレーション
5. 寿命分布の合成提案
6. シミュレーション結果と実データ
7. まとめ



数ミリ角

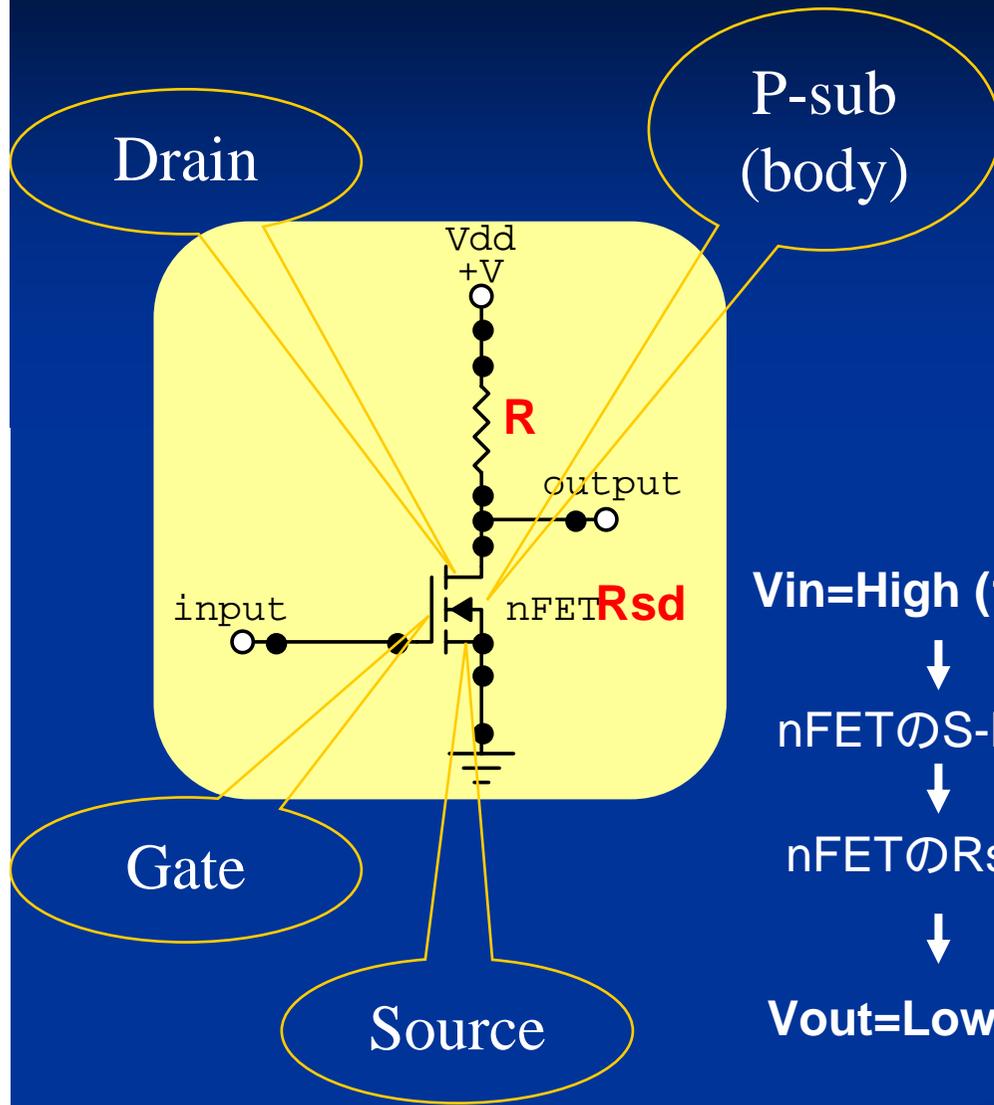


1 μm

直径200mmシリコンウエハ

# nMOS を使ったインバーター (NOT) 回路

入力	出力
1 (Vdd)	0 (GND)
0 (GND)	1 (Vdd)



$$V_{out} = V_{dd} \times \frac{R_{sd}}{R_{sd} + R}$$

Vin=High (1, Vdd) の時

↓  
nFETのS-D間はON  
↓  
nFETのRsd = 0  
↓

Vout=Low (0, GND)

Vin=Low (0, GND) の時

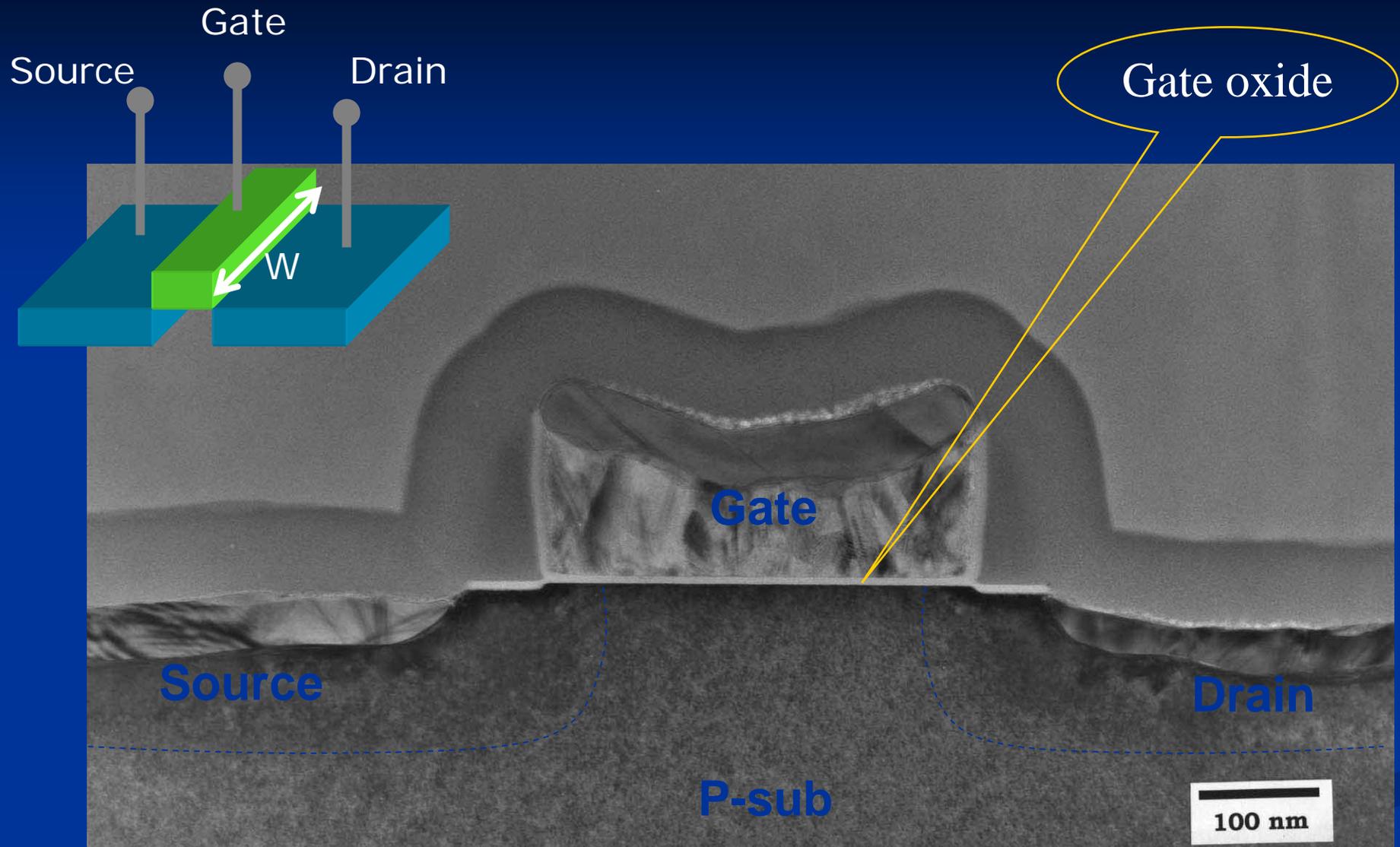
↓  
nFETのS-D間はOFF  
↓  
nFETのRsd = ∞  
↓

Vout=High (1, Vdd)

トランジスタがONした時, 貫通電流が流れる

集積化に不都合

# 半導体デバイス構造



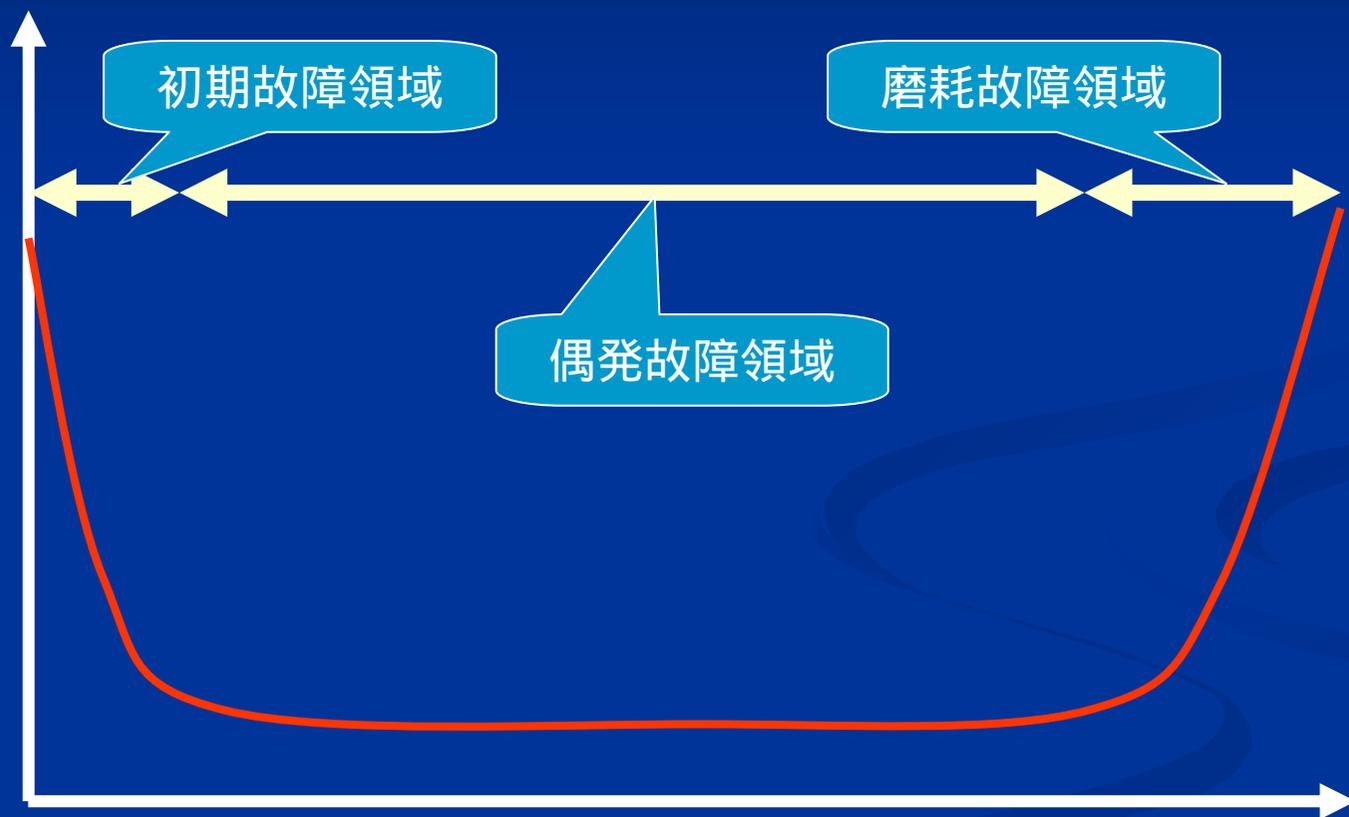
100nm=0.0001mm

## 目次

1. 電子回路とMOSトランジスター
- 2. 薄膜評価試験(TDDB)**
3. サンプルングによる薄膜面積の拡大方法の提案
4. パーコレーションモデルによるシミュレーション
5. 寿命分布の合成提案
6. シミュレーション結果と実データ
7. まとめ

# 故障モード

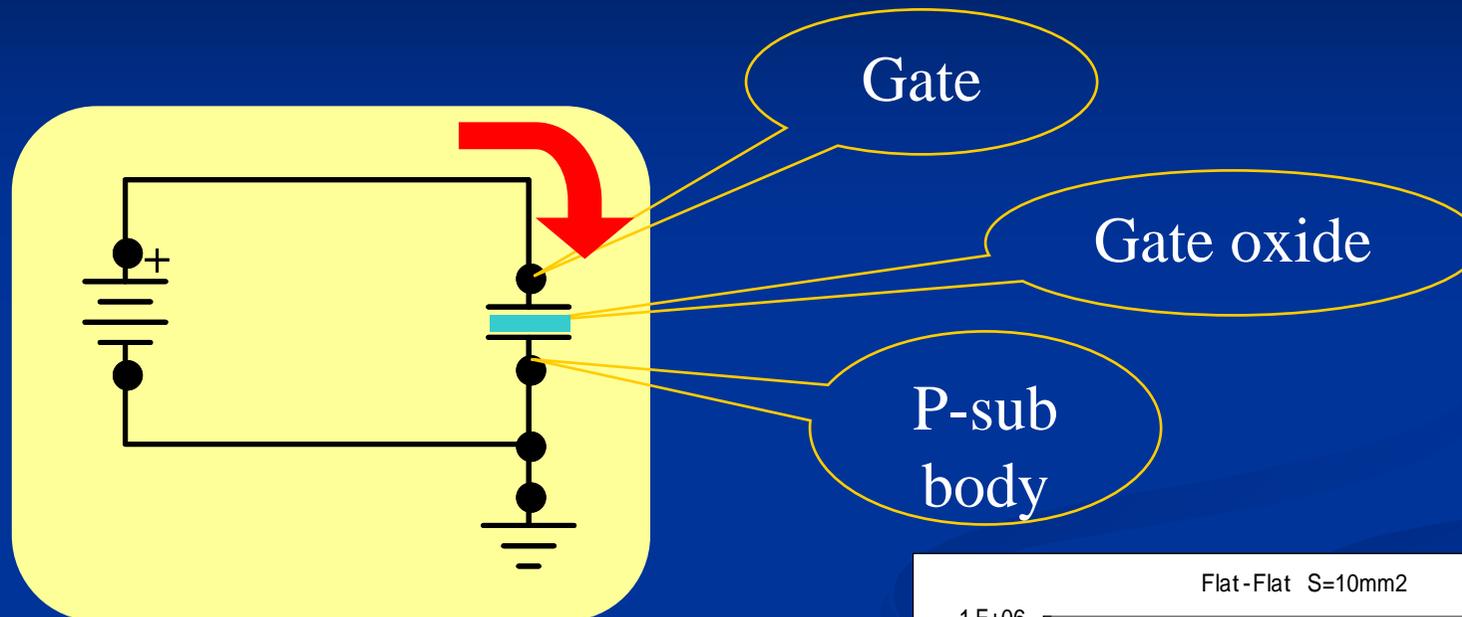
故障発生率



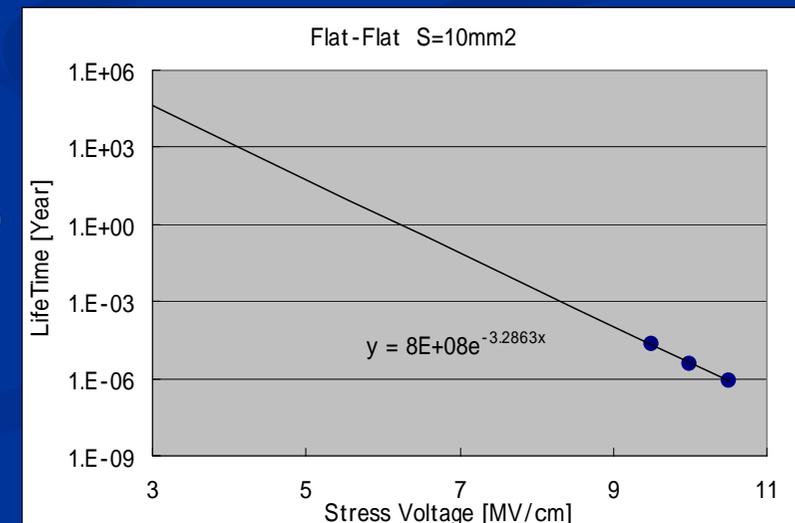
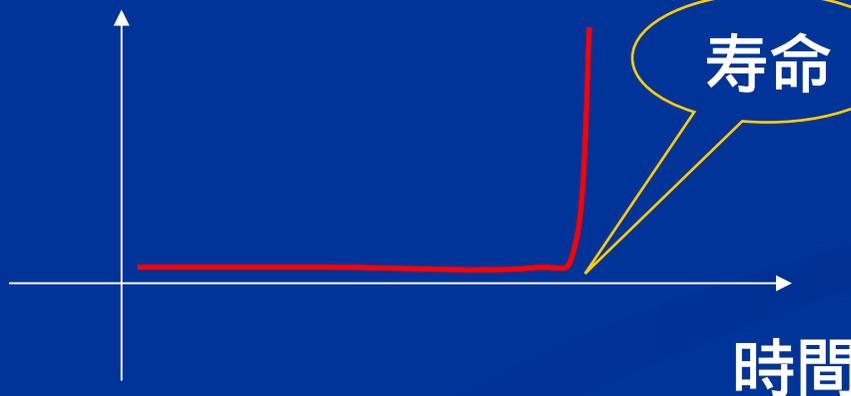
使用時間

# TDDDB(Time Dependent Dielectric Breakdown)試験

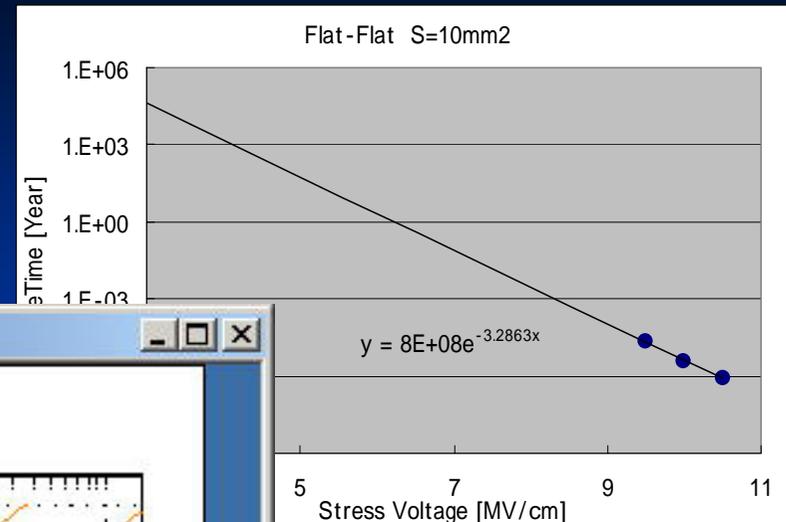
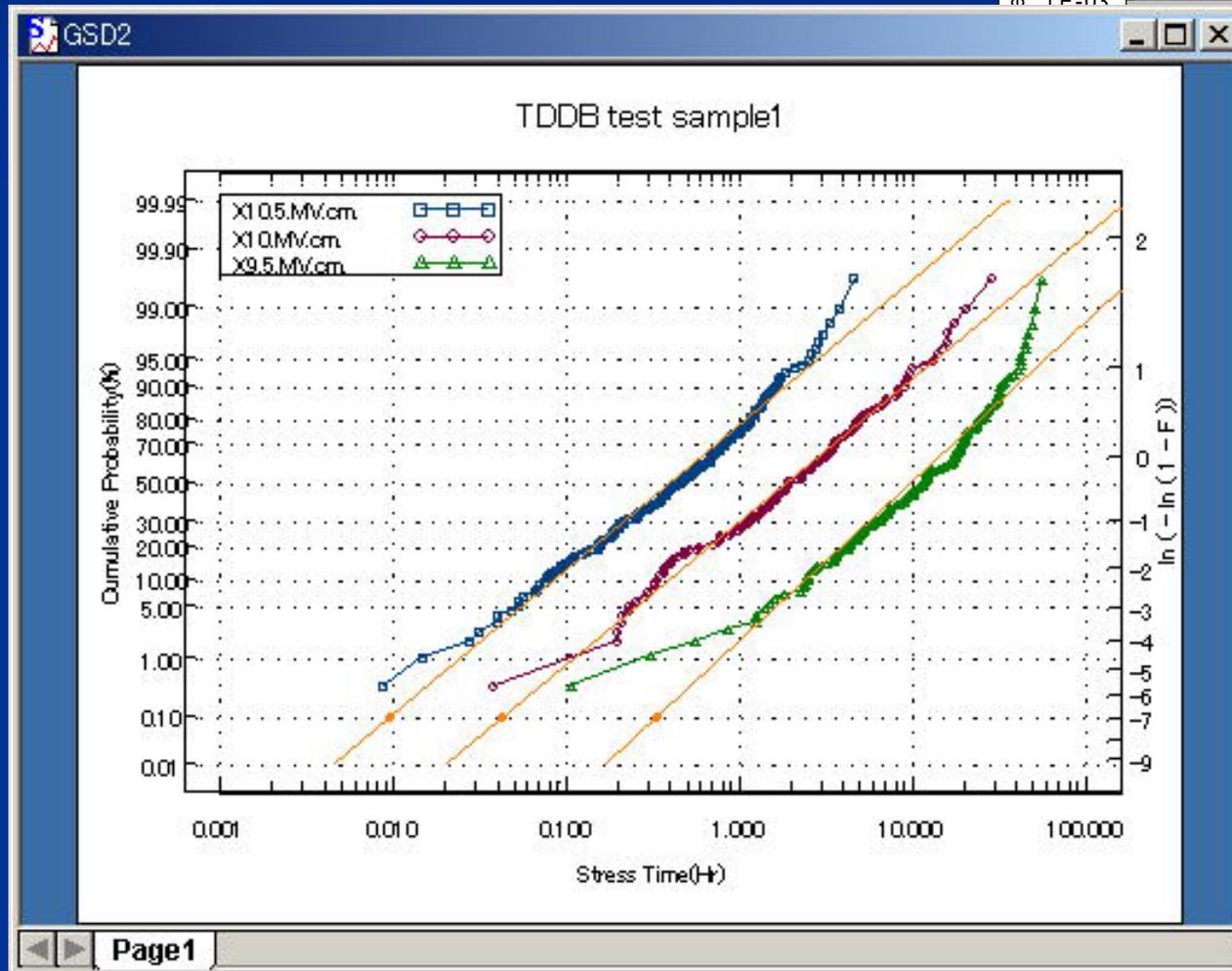
ゲートと基板との間に一定の電圧を印可し、ゲート酸化膜の破壊までの時間を計測する



電流



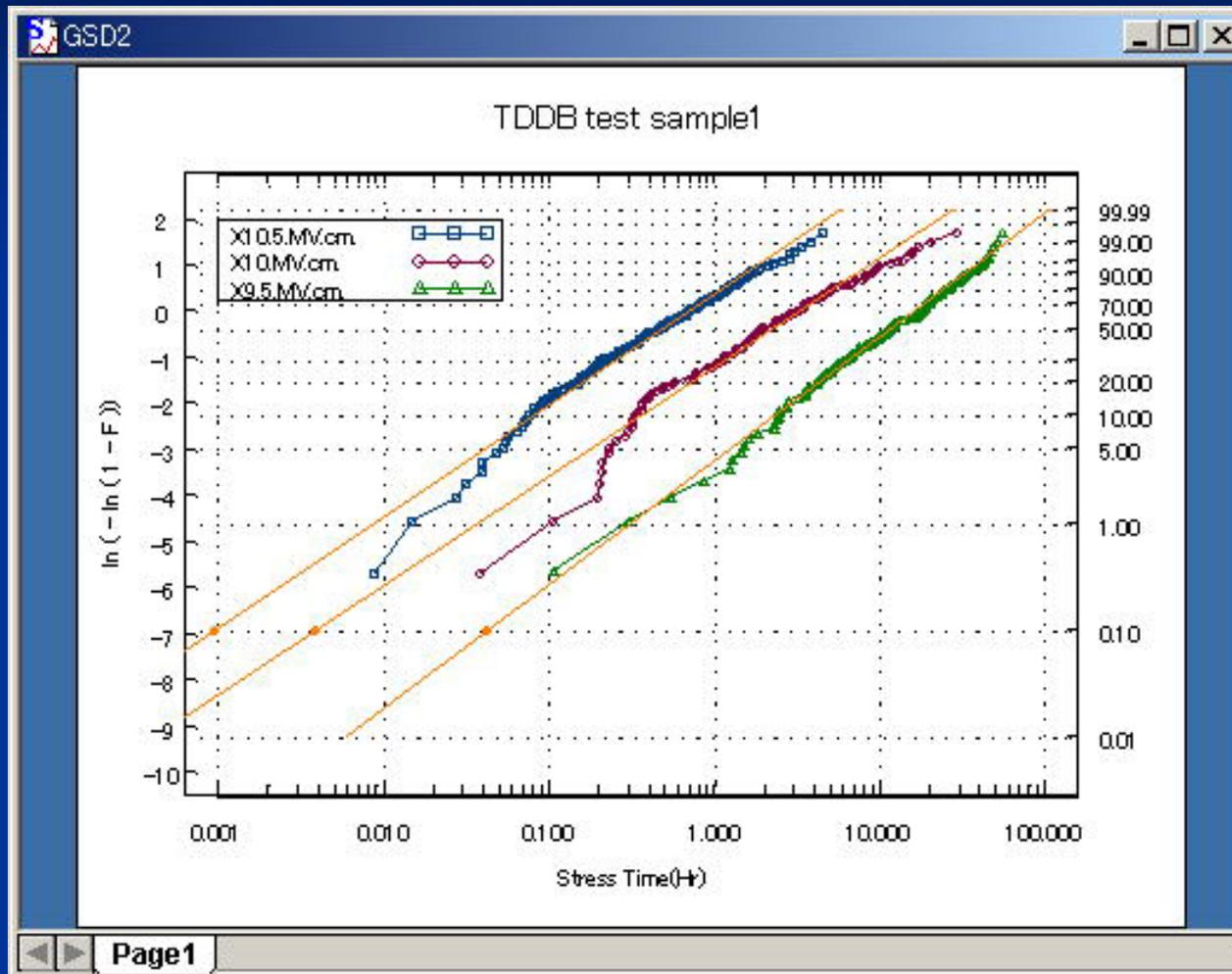
# 実サンプルTDDB試験結果 (3水準)



累積故障率0.1%を取って

# 実サンプルTDDB試験結果 (3水準)

## ワイブルプロット

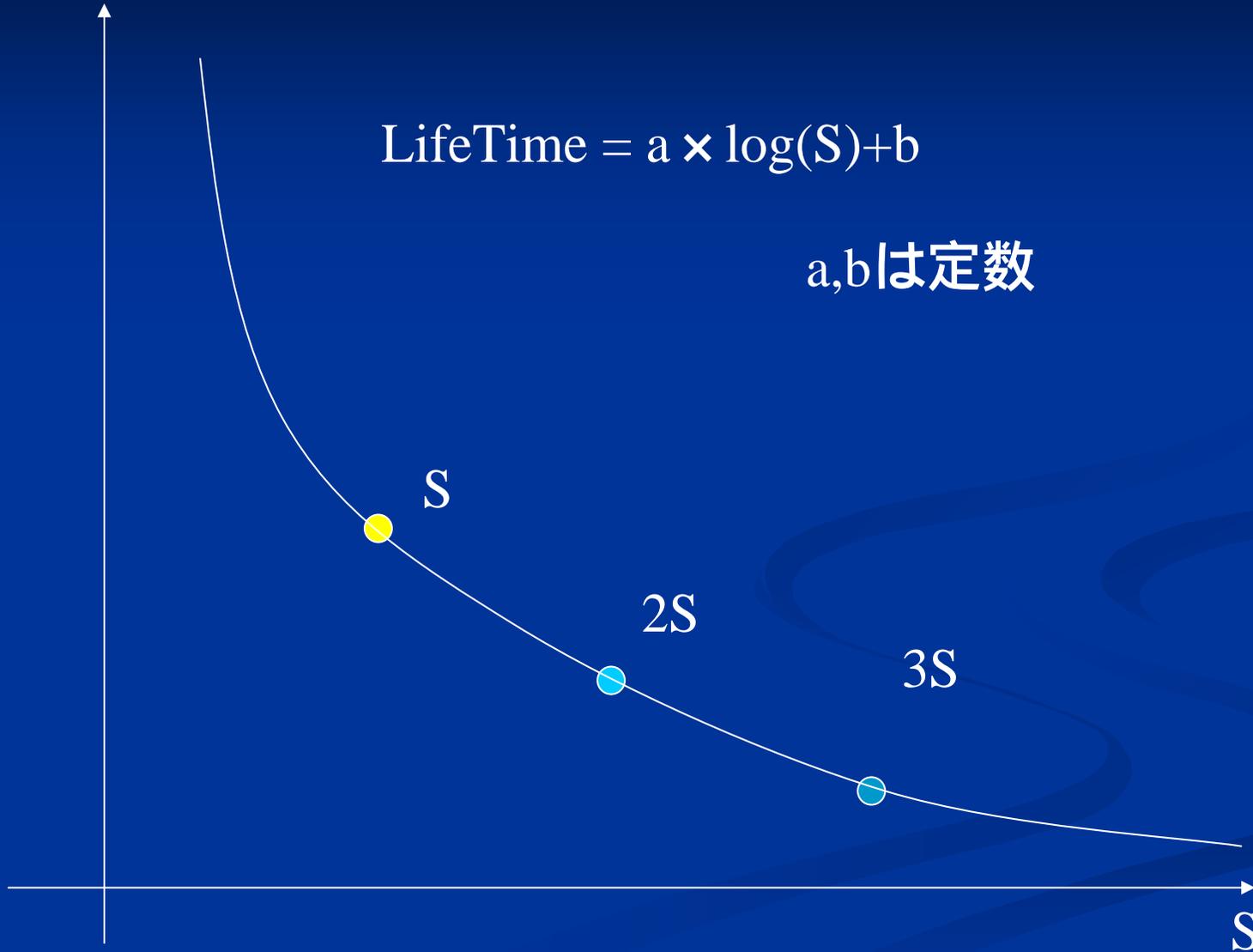


任意の面積の寿命を推定するには、面積が異なる数種類のサンプルの評価が必要

Life time

$$\text{LifeTime} = a \times \log(S) + b$$

a,bは定数



## 目次

1. 電子回路とMOSトランジスター
2. 薄膜評価試験(TDDDB)
- 3. サンプルングによる薄膜面積の拡大方法の提案**
4. パーコレーションモデルによるシミュレーション
5. 寿命分布の合成提案
6. シミュレーション結果と実データ
7. まとめ

## サンプリングによる薄膜面積の拡大方法の提案

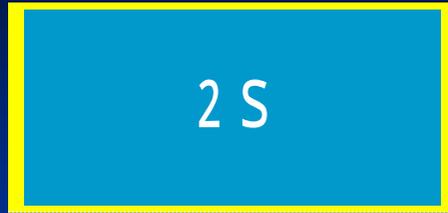
1. 単一面積 ( $1S$ ) の薄膜寿命評価データ群 ( $m$ 個) から, 任意の  $n$  個データをサンプリングし, その**サンプリングしたデータの最も小さい値を  $n$  倍の面積 ( $nS$ ) の寿命** とする.
2. サンプリング ( $n$  個) を必要な回数 ( $m$  回) 行い,  $n$  倍の面積 ( $nS$ ) の寿命とし, 面積が単一面積の  $n$  倍の仮想サンプルの薄膜寿命評価データ群とする.
3. サンプリングサイズ ( $n$  個) を変えて, 上記2. を行うことで, 数種類の面積の異なる仮想サンプルの評価データを得る.

通常方法

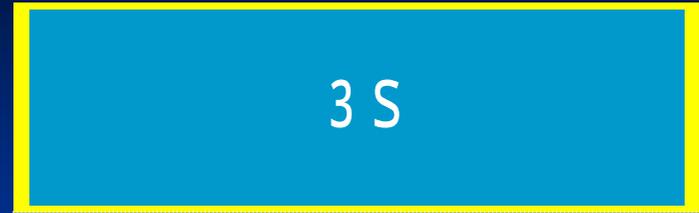
$S, 2S, 3S$  全てのサンプルの寿命試験を実施



基本  $S$



2倍の面積のサンプル



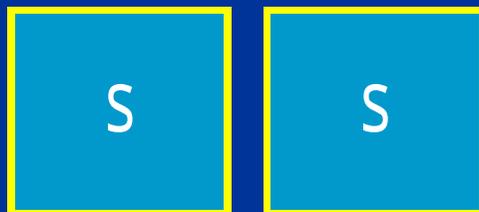
3倍の面積のサンプル

今回の提案方法

寿命試験するのは  $S$  だけ。あとは、データサンプリング



基本  $S$



仮想  $2S$



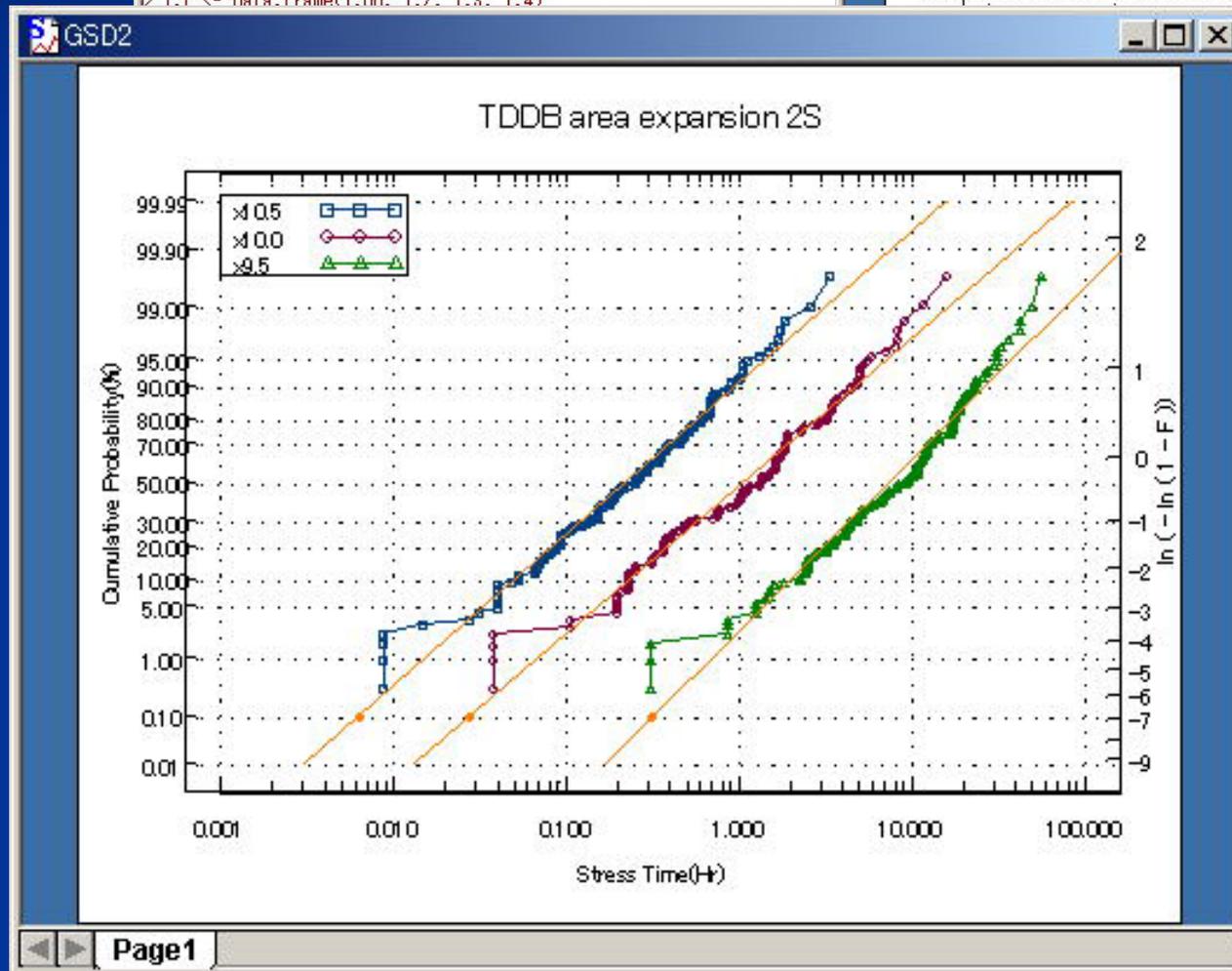
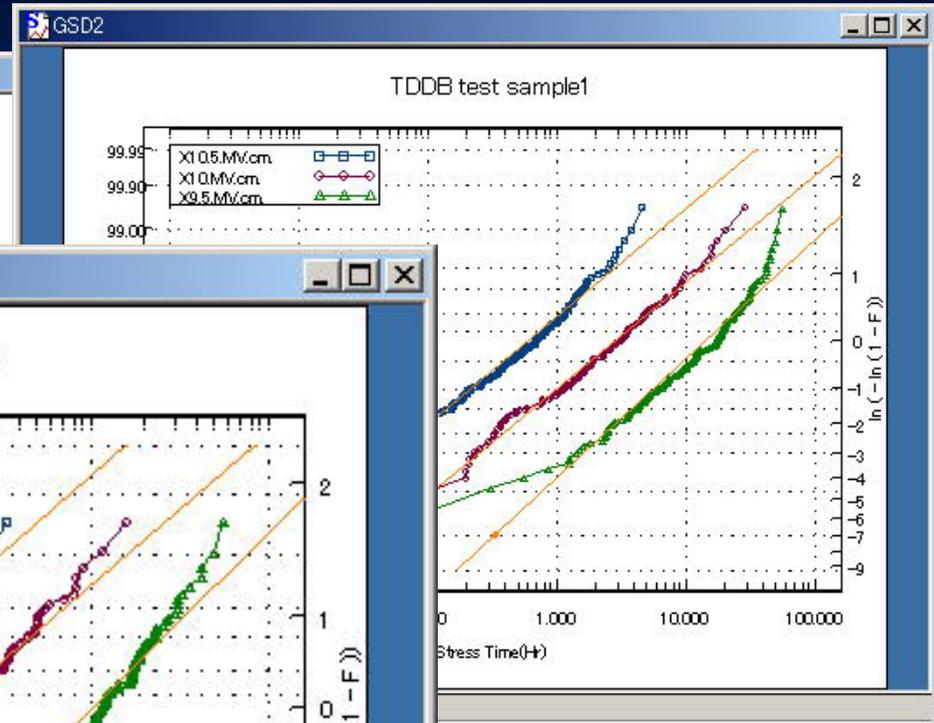
仮想  $3S$

面積  $S$  のチップから任意の  $n$  個データ抽出して考えた  $nS$

仮想  $nS$  の寿命は、それぞれの  $S$  の最小値とする

# サンプリングによる2倍の面積の仮想サンプルの寿命

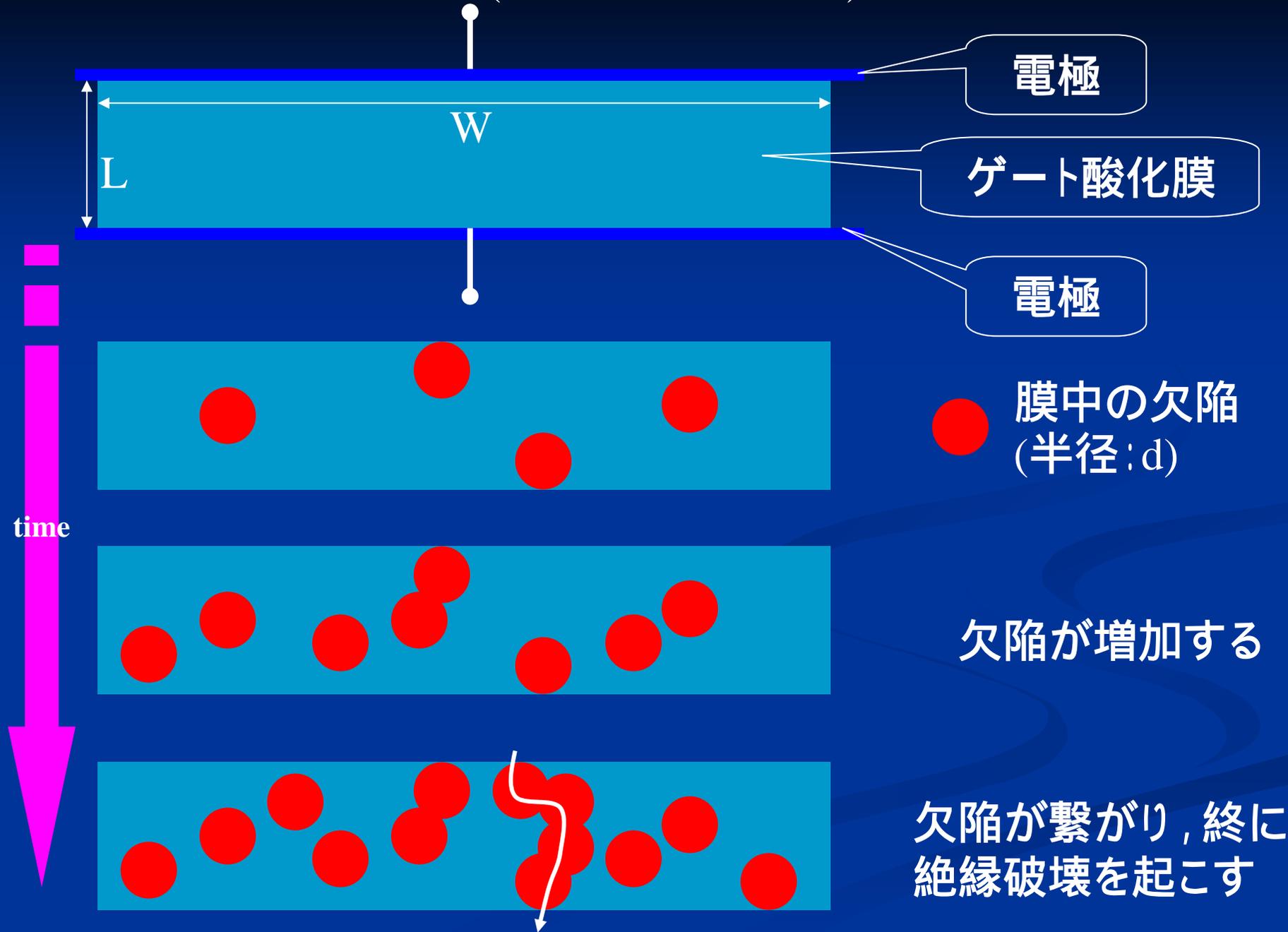
```
Commands  
> nn <- 159  
> n.s <- 2  
> l.2 <- tddb.sampling(sample1, nn, n.s, l=2)  
> l.3 <- tddb.sampling(sample1, nn, n.s, l=3)  
> l.4 <- tddb.sampling(sample1, nn, n.s, l=4)  
> l.t <- data.frame(l:nn, l.2, l.3, l.4)
```



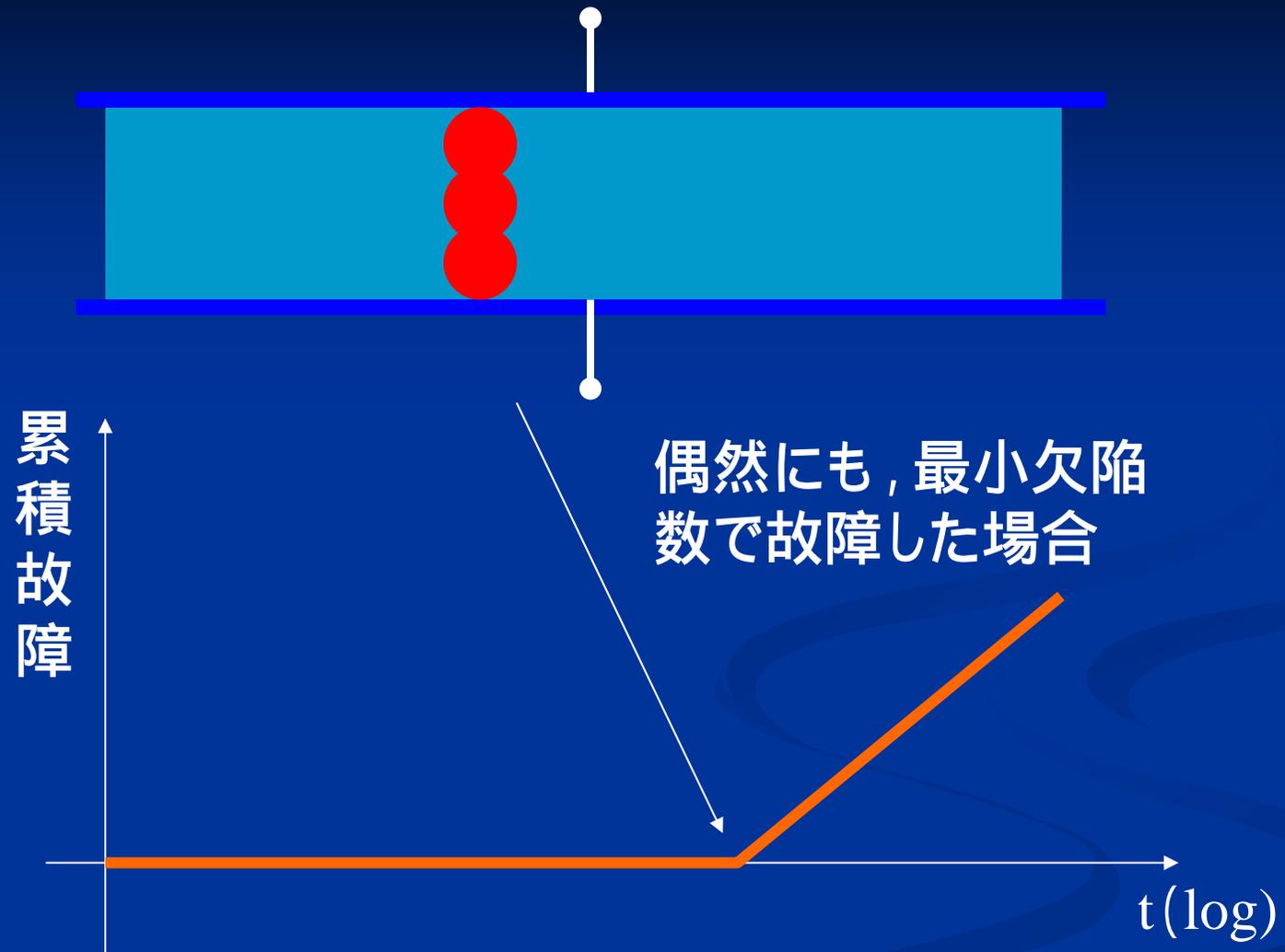
## 目次

1. 電子回路とMOSトランジスター
2. 薄膜評価試験(TDD B)
3. サンプルングによる薄膜面積の拡大方法の提案
4. **パーコレーションモデルによるシミュレーション**
5. 寿命分布の合成提案
6. シミュレーション結果と実データ
7. まとめ

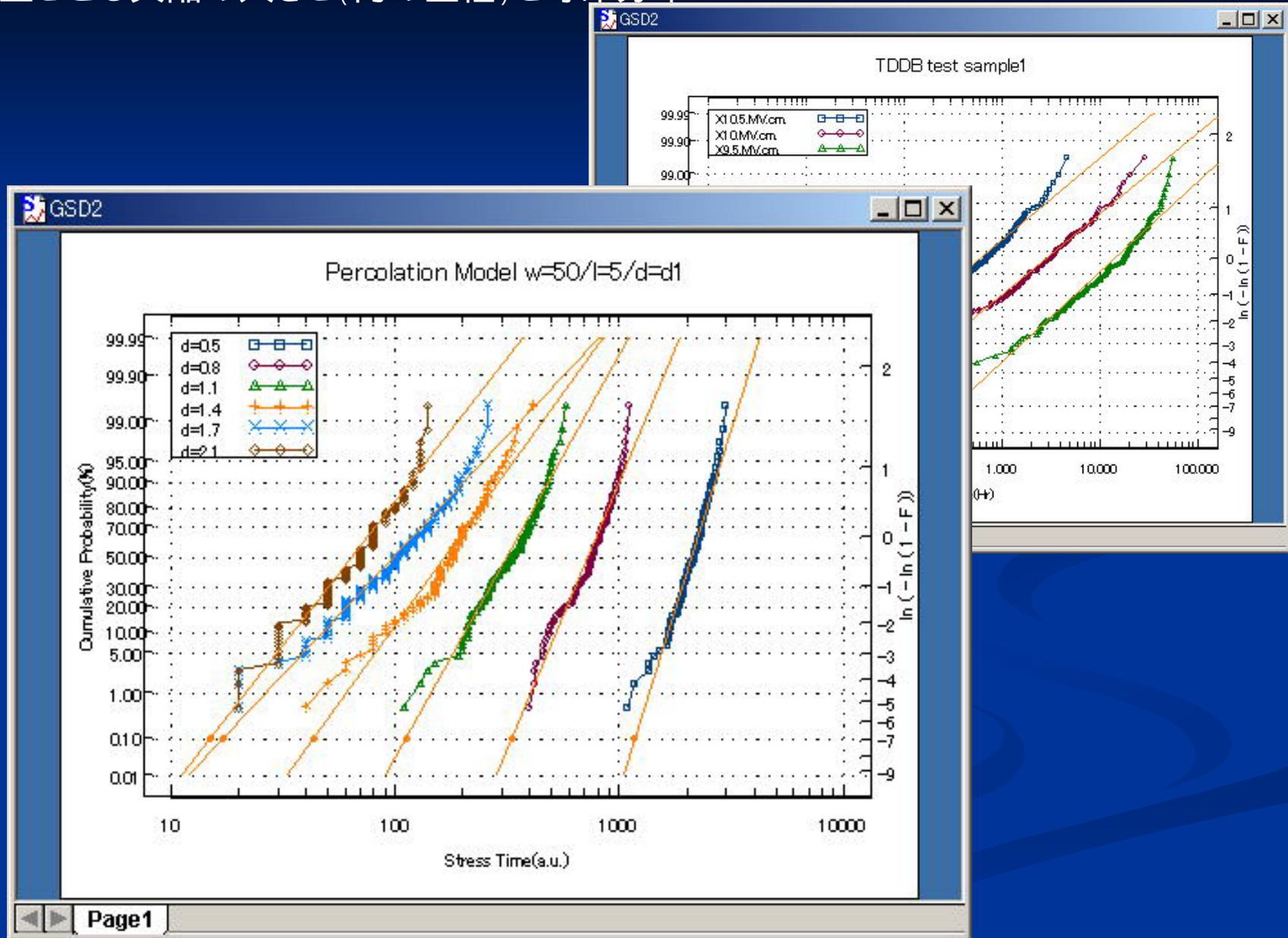
# パーコレーションモデル(Percolation Model)



# ワイブル分布 (Weibull plot)



# 発生させる欠陥の大きさ(円の直径)と寿命分布

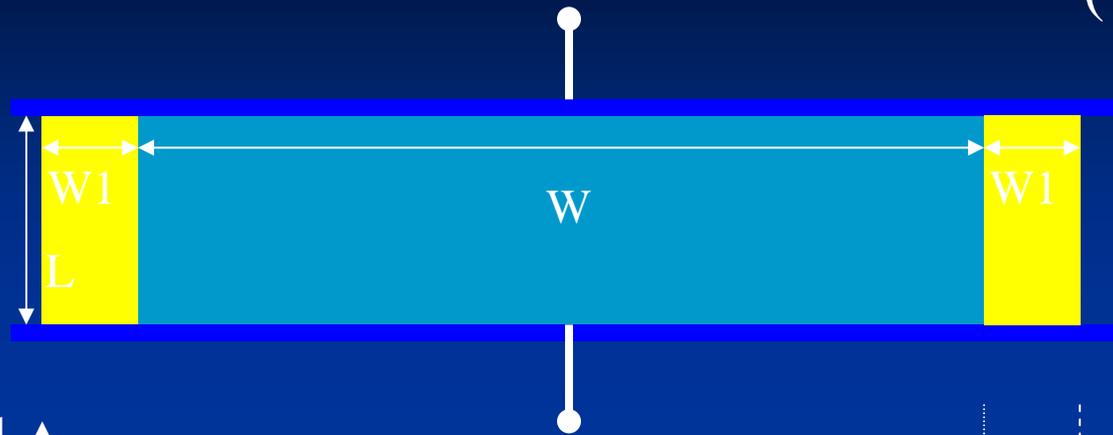


## 目次

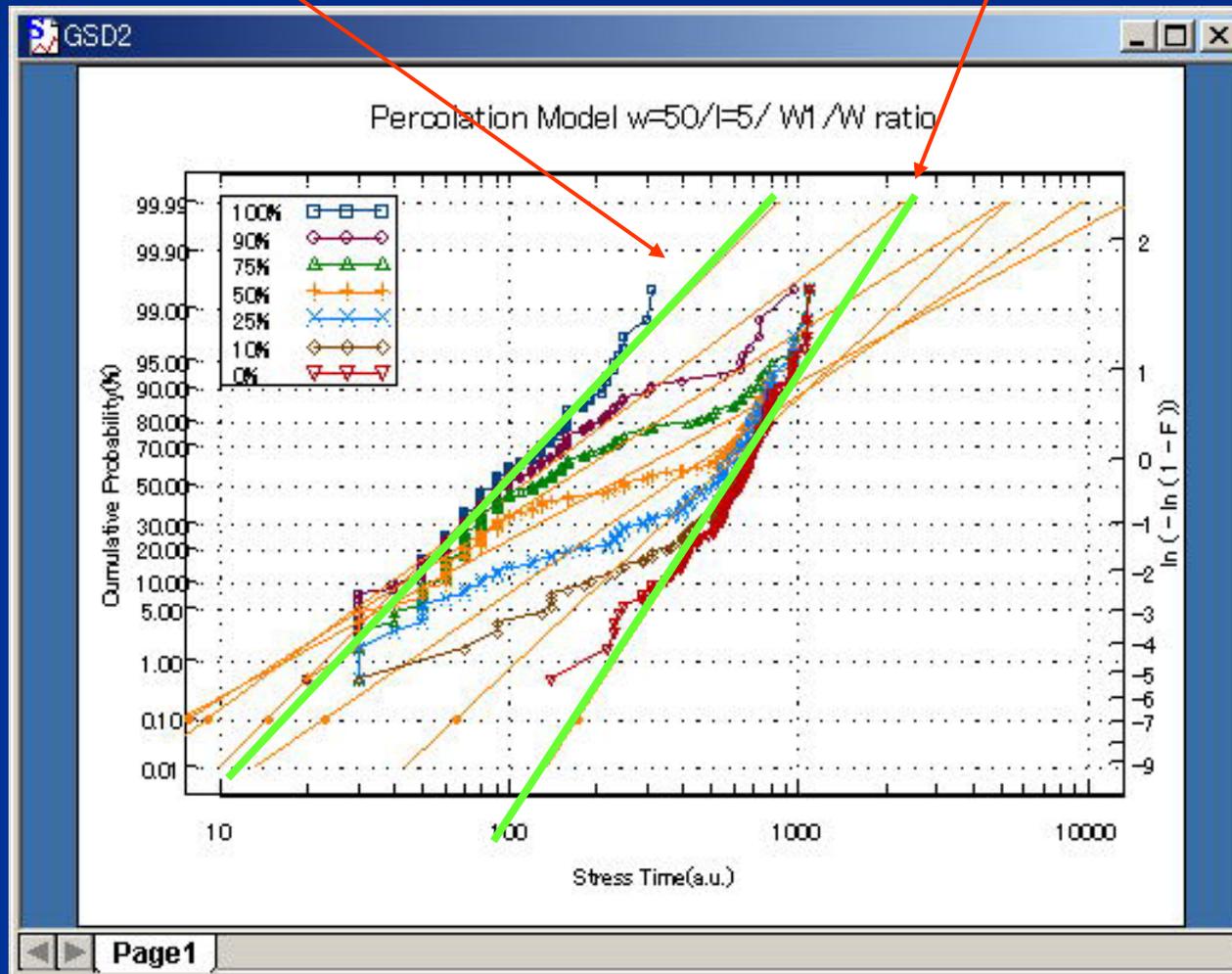
1. 電子回路とMOSトランジスター
2. 薄膜評価試験(TDDDB)
3. サンプルングによる薄膜面積の拡大方法の提案
4. パーコレーションモデルによるシミュレーション
5. **寿命分布の合成提案**
6. シミュレーション結果と実データ
7. まとめ

欠陥の半径 (エッジ部分の影響の吟味)

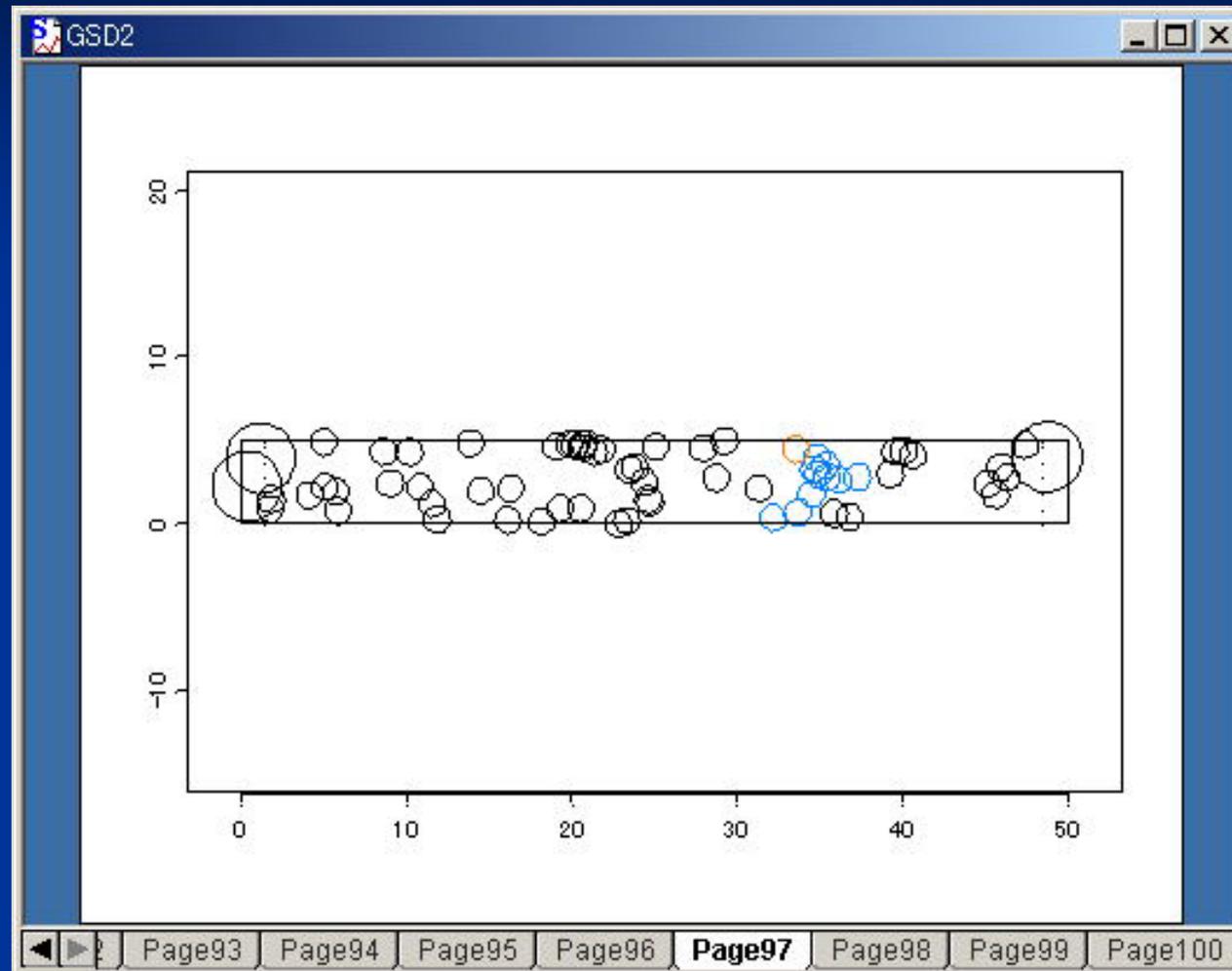
● 膜中の欠陥 (半径:  $d$ )



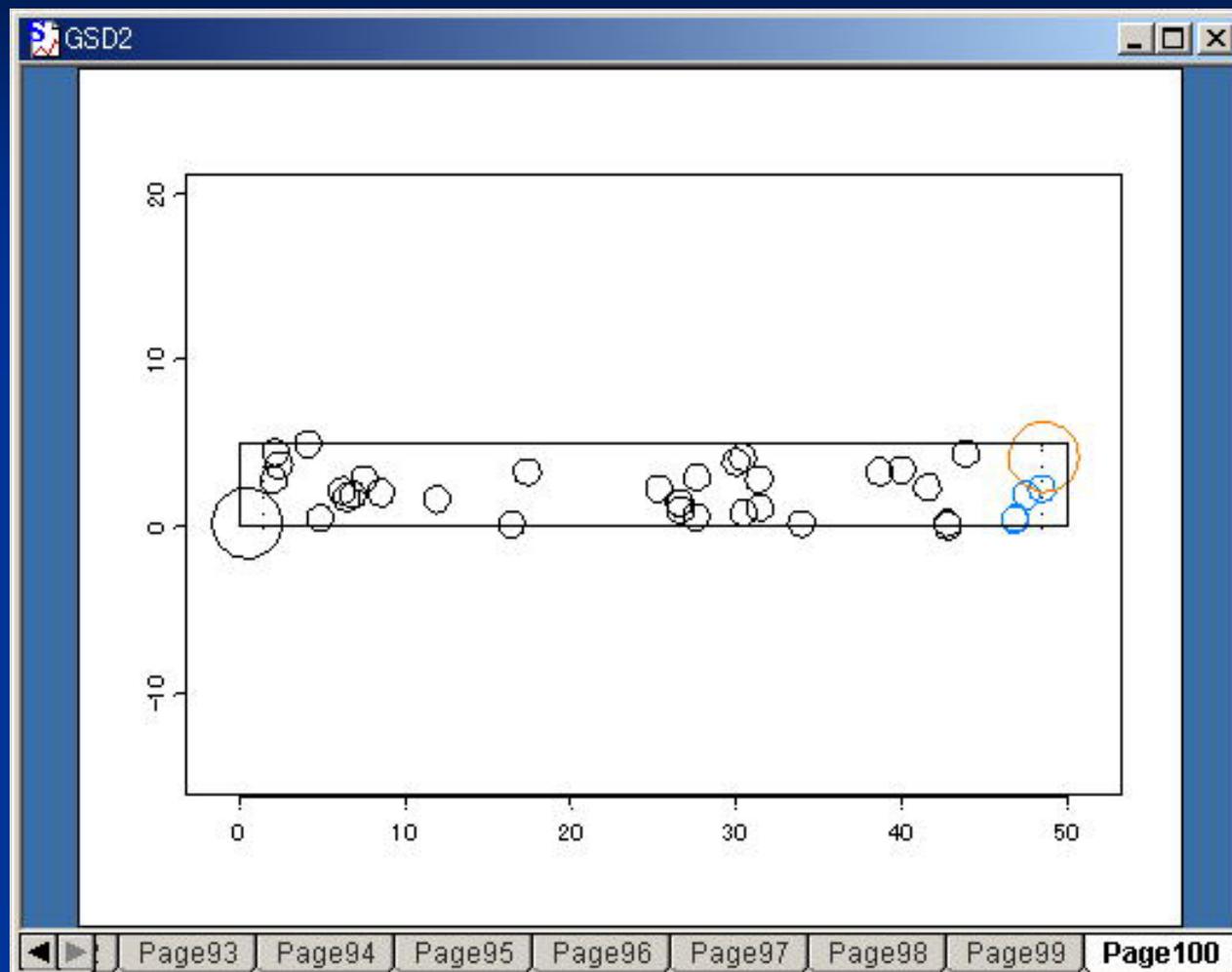
## 2種類の異なる寿命分布の合成 (データサンプリングによる)



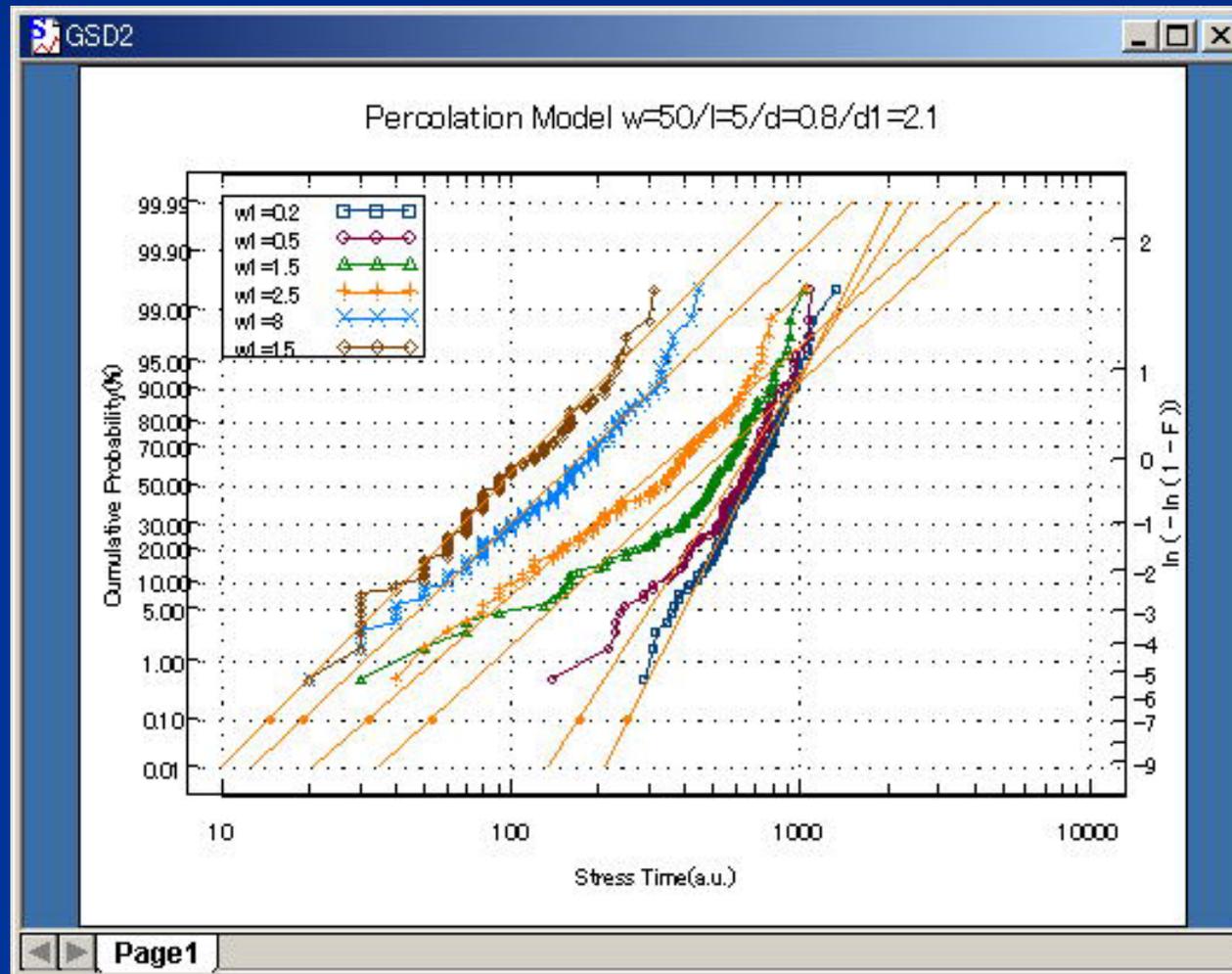
## S-PLUSによるパーコレーションモデルのシミュレーション

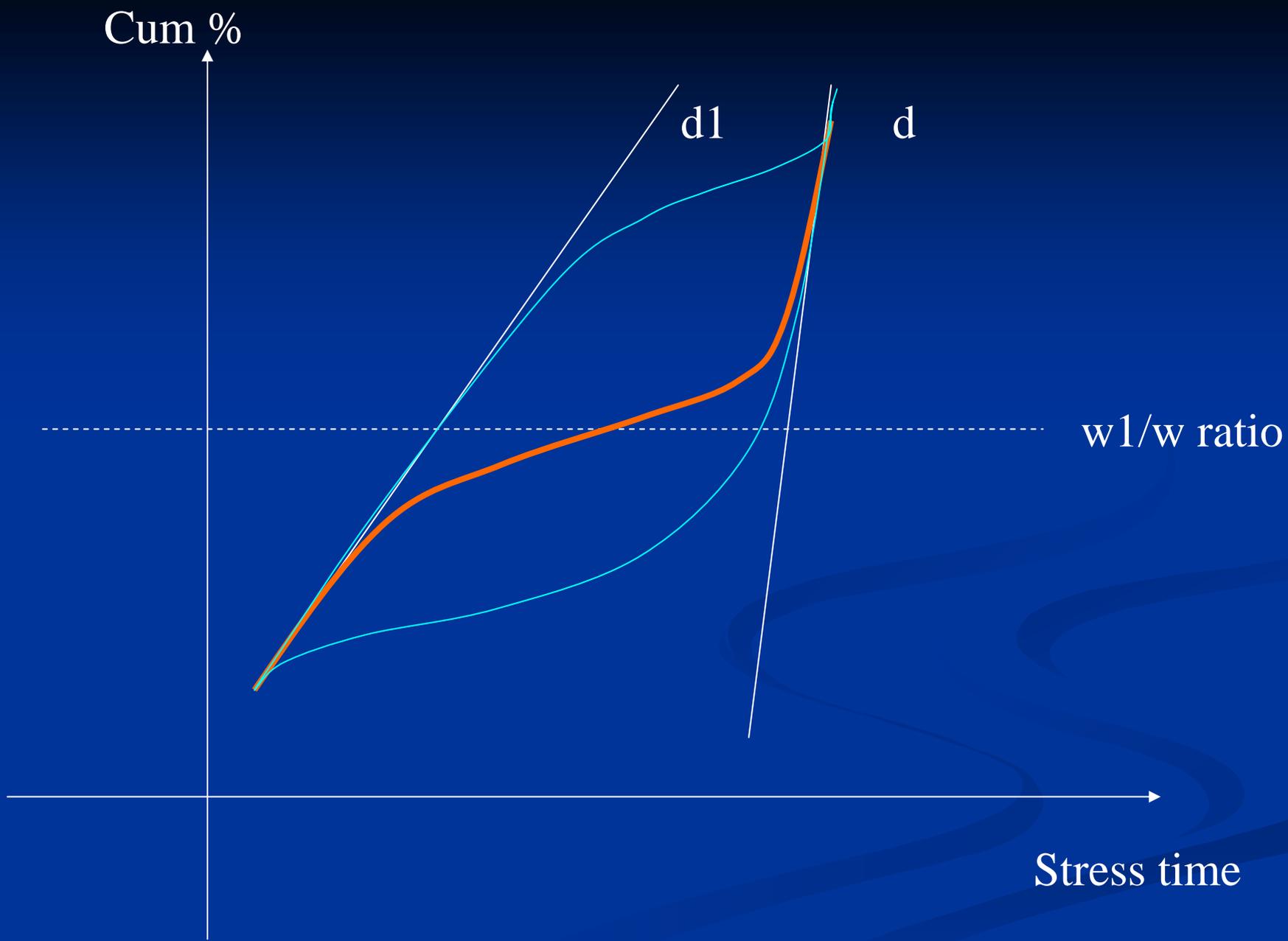


## S-PLUSによるパーコレーションモデルのシミュレーション



# エッジ部分の比率を変化させた場合のパーコレーションモデルのシミュレーション結果

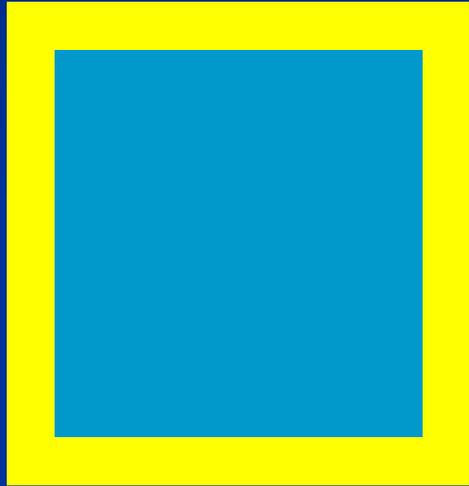




# 目次

1. 電子回路とMOSトランジスター
2. 薄膜評価試験(TDDDB)
3. サンプルングによる薄膜面積の拡大方法の提案
4. パーコレーションモデルによるシミュレーション
5. 寿命分布の合成提案
- 6. シミュレーション結果と実データ**
7. まとめ

面積は同じでも、周囲の全長が違うサンプル

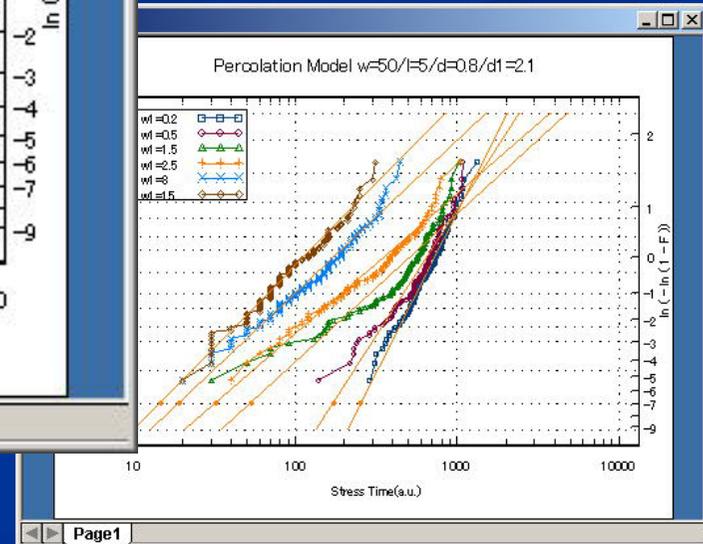
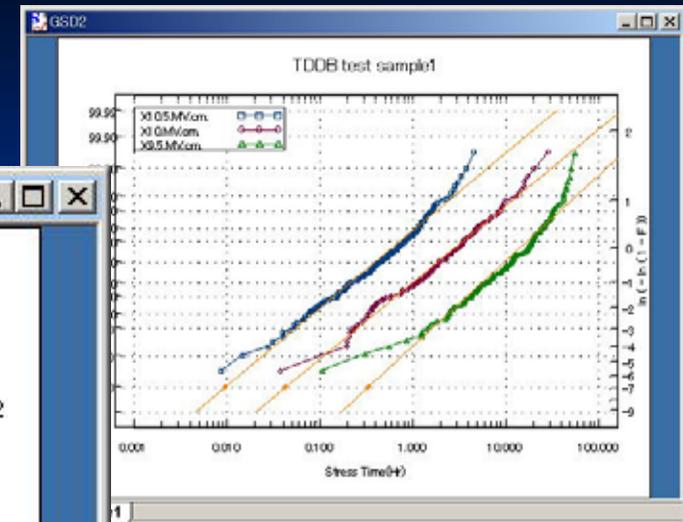
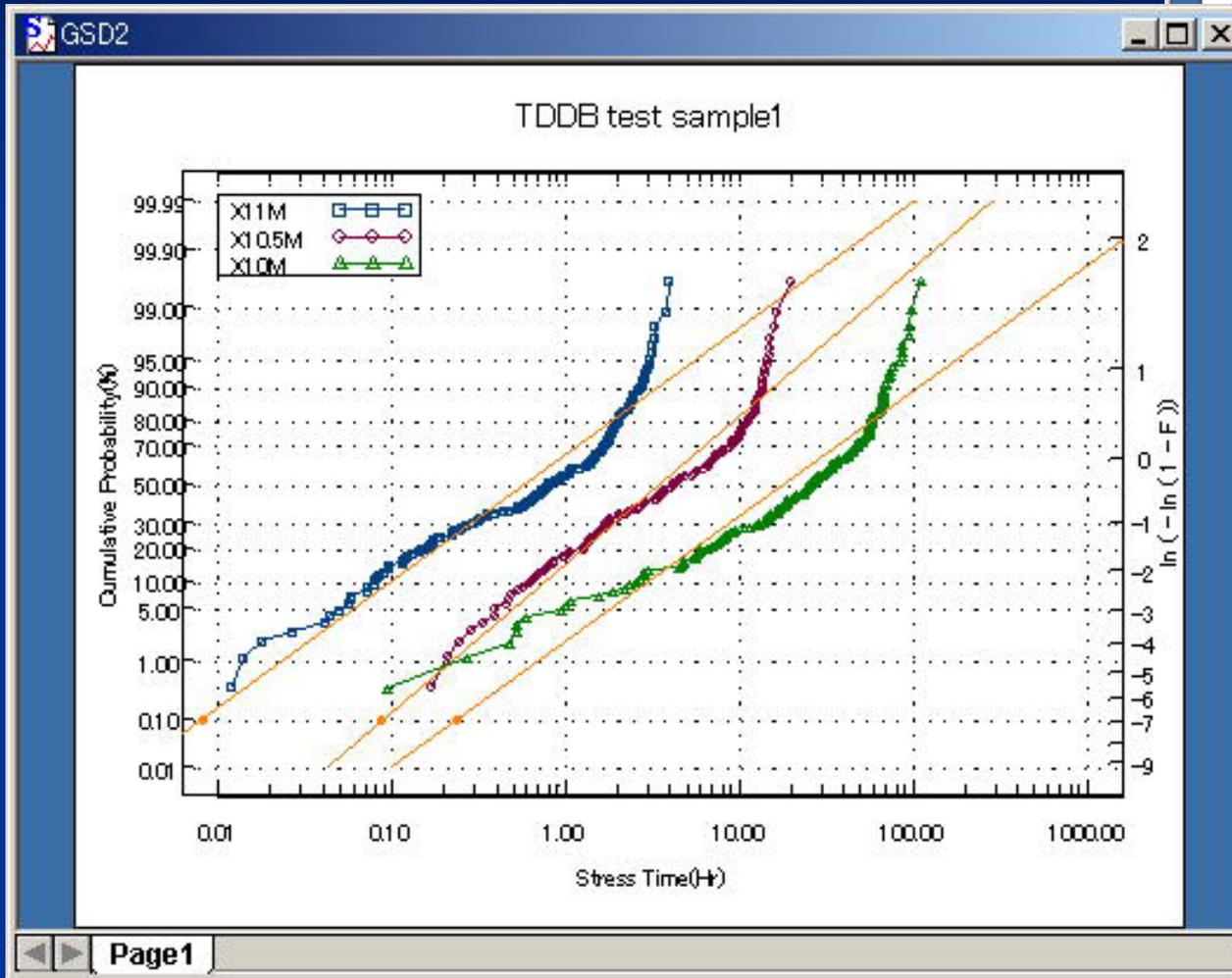


標準的な形状



エッジ部分の影響をより多く  
受ける構造

# 実サンプルTDDDB試験結果 (3水準)



# まとめ

1. サンプルングによる薄膜面積の拡大方法の提案し、その有効性を示した。  
今後の課題: 仮想面積をどこまで拡大できるか
2. 異なる寿命分布の合成をパーコレーションモデルを用いてモデル化した。  
実サンプルでモデルを確認した
3. 全体の寿命分布からエッジ部分の影響度合いを類推することができる。  
今後の課題: 変形した分布の分離手法が必要

# おわり

お知らせ：

この発表内容をhtml形式でまとめた論文を、(株)数理システムのHPからご覧いただくことが出来ます。

<http://www.msi.co.jp/splus/events/2006/uconf06.html>