

半導体形状シミュレータ ParadiseWorld-2 ご紹介

株式会社 NTTデータ数理システム
科学技術部

内容

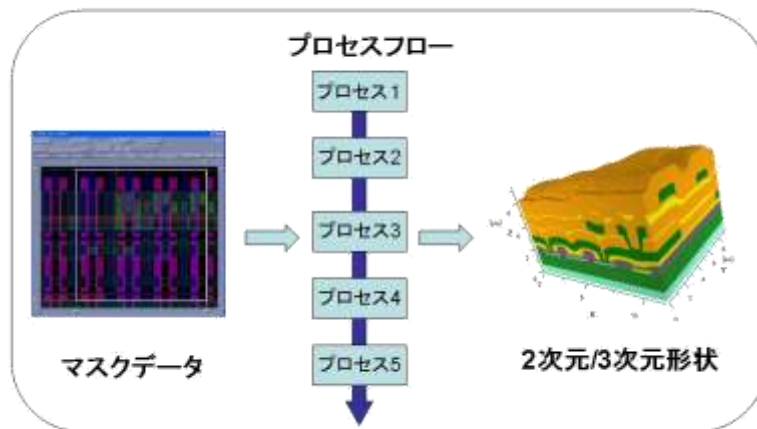
- 概要
- 特長
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

内容

- 概要
- 特長
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

ParadiseWorld-2(PW2)とは

- 高速性・安定性・精度を誇るグラフィカルなプロセスシミュレーター
 - 形状エミュレーションではなく、粒子のフラックス分布も考慮したデポジション・エッチングの形状シミュレーションがおこなえるのが特徴
- ボクセル法の採用
 - レベルセット法やストリング法では計算の難しい複雑形状に対しても安定な3次元計算
- 容量・抵抗・インダクタンス計算機能、各種CADフォーマットへのエクスポート機能も搭載

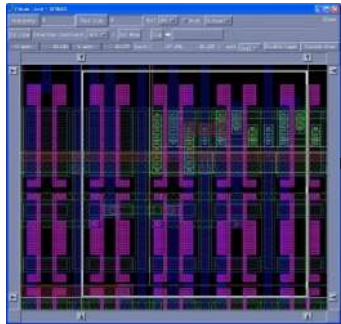


容量・抵抗計算

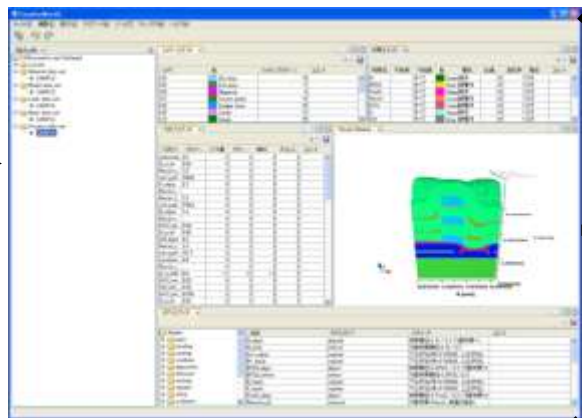
他社製解析ツール
(機構解析・電磁界解析等)

システム構成

GDSIIエディタ



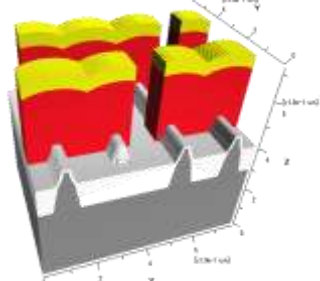
統合開発インターフェース



容量・抵抗・
インダクタンス計算

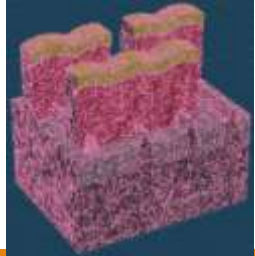


3次元形状表示



形状シミュレータ

形状エクスポート



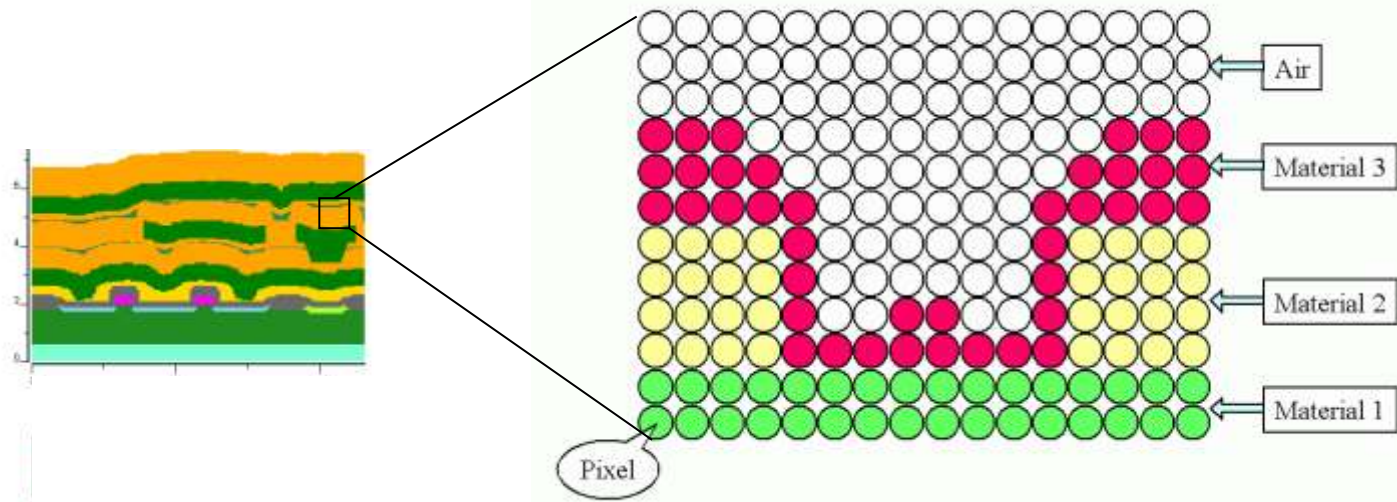
STL, DXF,
NASTRAN,
HFSS

内容

- 概要
- **特長**
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

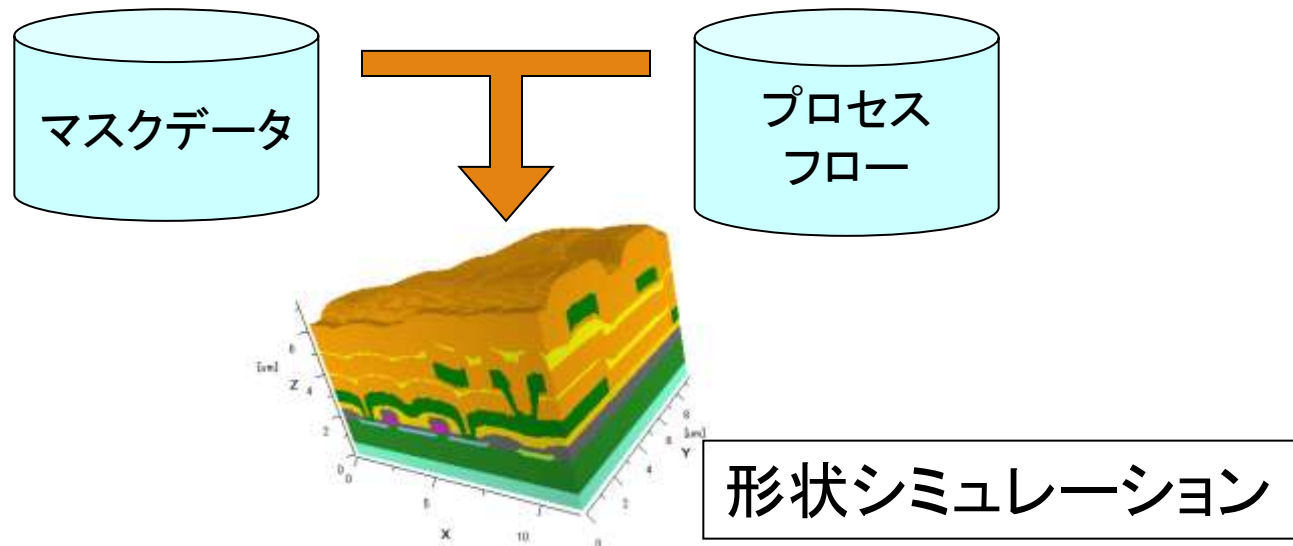
PW2の特長(1)

- 形状計算に、ピクセルが材質情報を持つ**ピクセル法** (3次元計算では, **ボクセル法**)を適用.
- 折れ線によって形状を表現するストリングモデルに比べて、はるかに高速・高精度で安定したシミュレーションが可能.



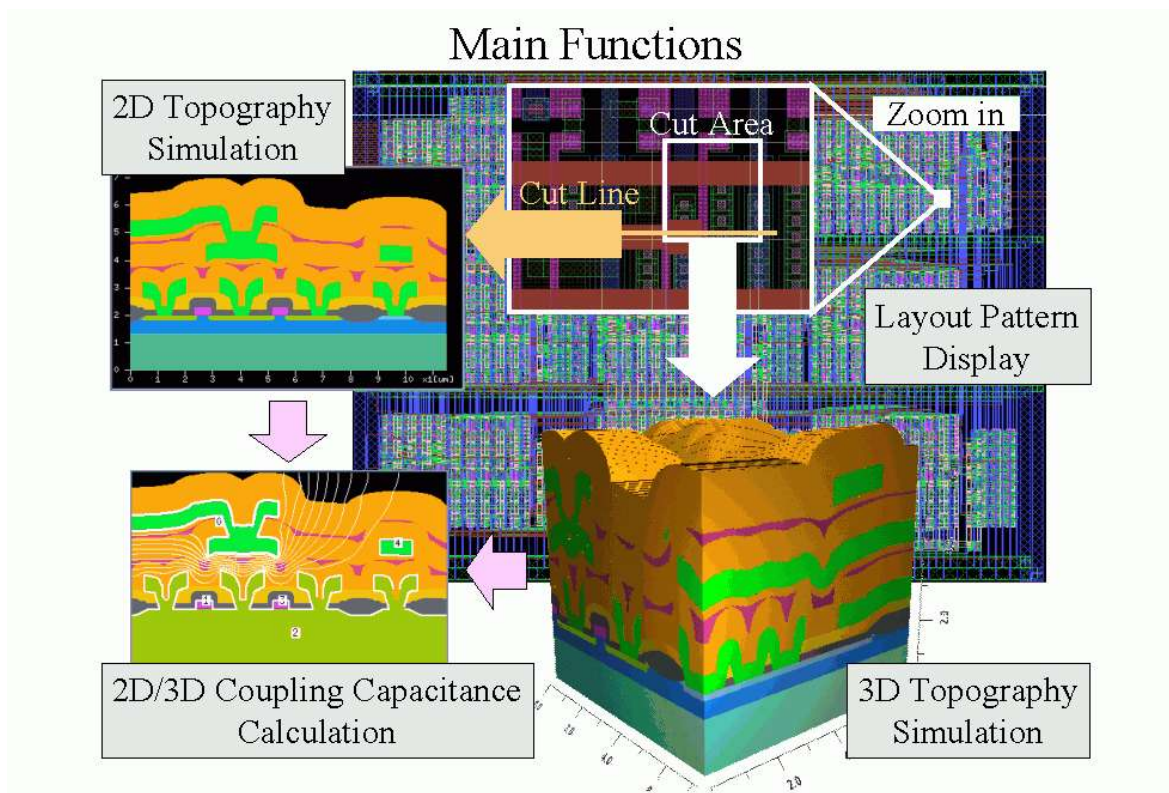
PW2の特長(2)

- 「GDS-II形式のマスクデータ」と統合開発インタフェース上で入力する「プロセスフロー」が入力.
- マスクとプロセスモデルフローから形状を作成するため、実工程に即した直感的なシミュレーションが可能.



PW2の特長(3)

- 形状シミュレーションで得られた精巧な2/3次元形状から、**シームレスに容量・抵抗・インダクタンス抽出**.



PW2の特長(4)

□ 多様な半導体プロセスに対応

フォトリソグラフィ工程

レジスト膜塗布

露光・現像

バーク

レジスト除去

成膜工程

PVD
(スパッタ等)

CVD

酸化

エッチング工程

ドライエッチング
(RIE、イオンビーム等)

ウェットエッチング

不純物注入・拡散

シリサイド化

研磨

接合

PW2の特長(5)

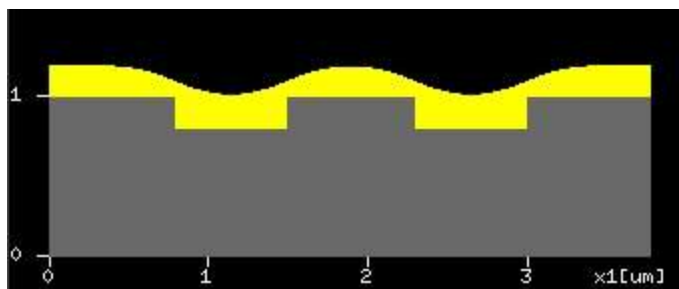
- プロセスの特徴を十分に捉えたプロセスモデルを搭載
- 膨大かつ複雑なパラメータの入力が不要



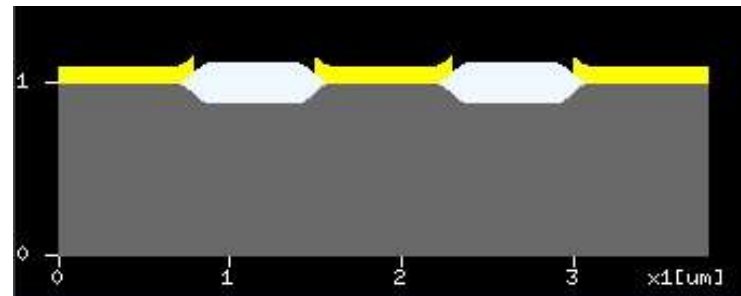
入射フラックスの角度依存性を考慮したエッチング



デポジションを伴うエッチング



リフローを伴うレジスト塗布



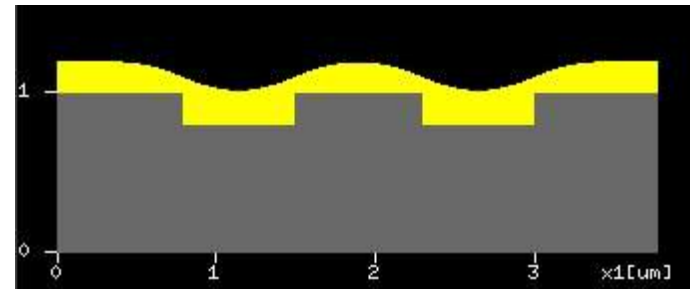
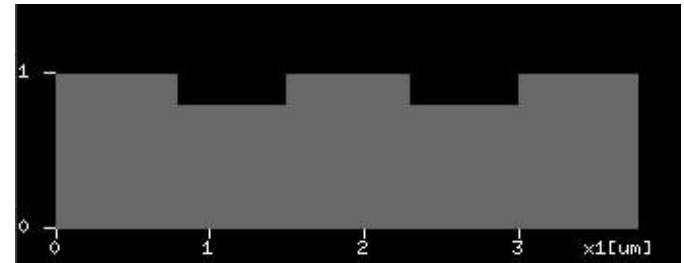
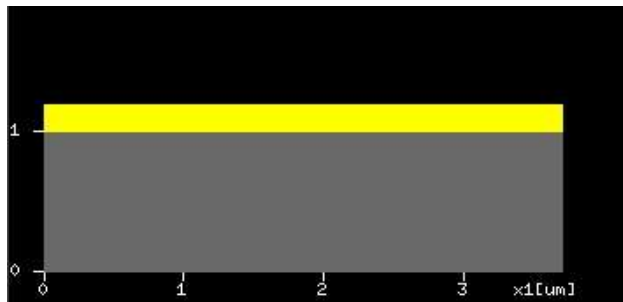
体積膨張を伴う酸化

内容

- 概要
- 特長
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

フォトリソグラフィ工程(1) レジスト膜塗布

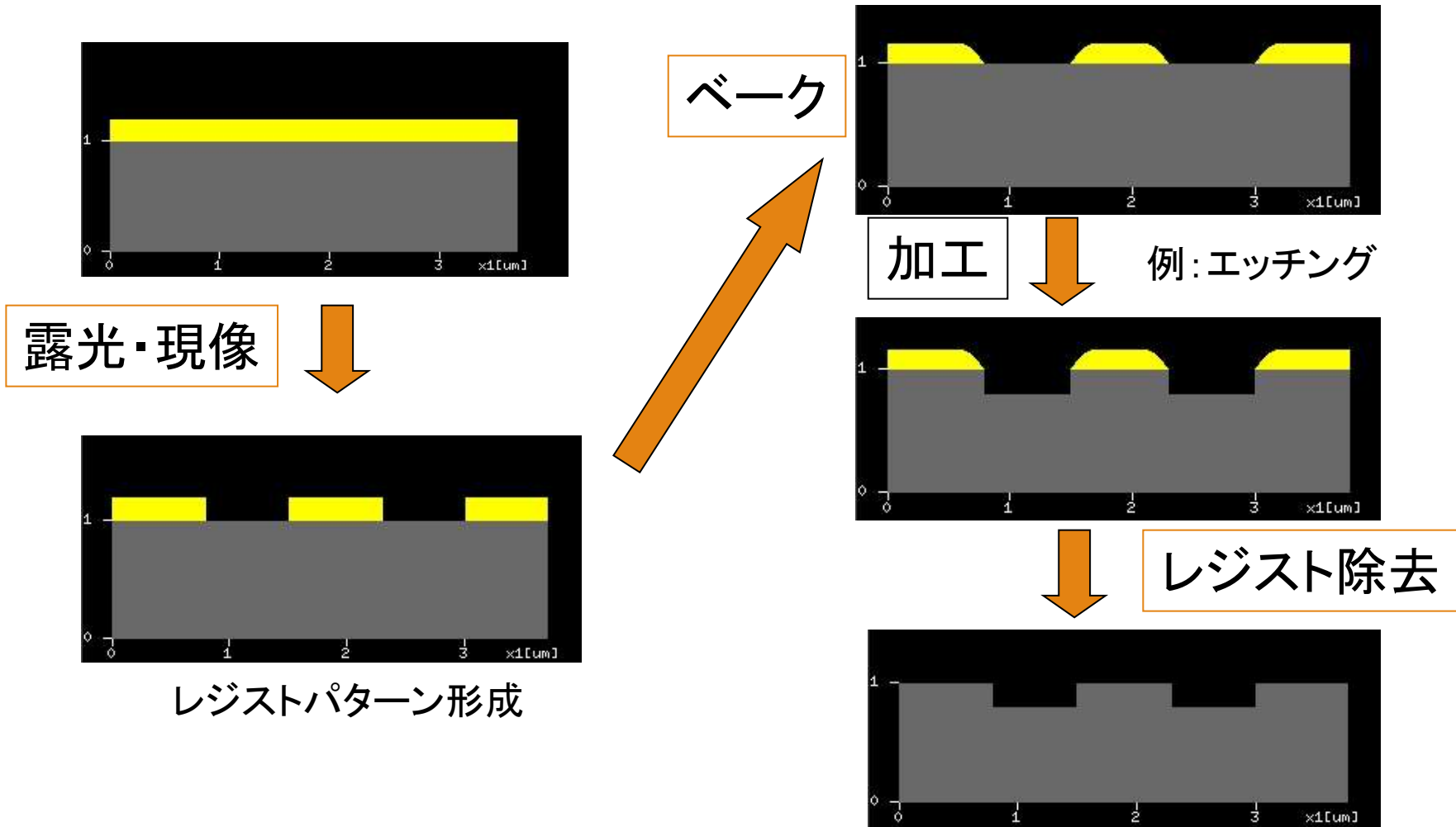
レジスト膜の塗布



レジスト膜の粘性も考慮可能

フォトリソグラフィ工程(2)

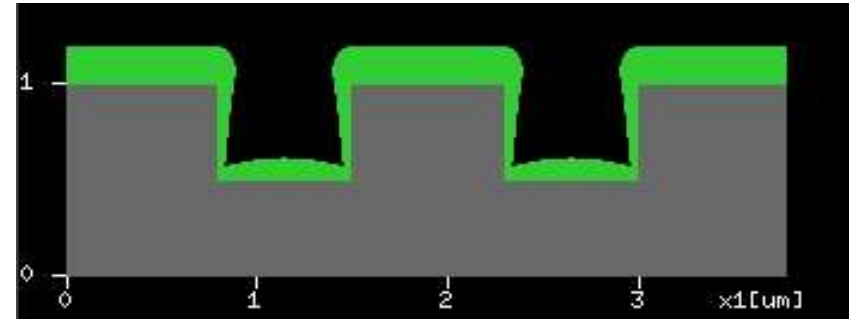
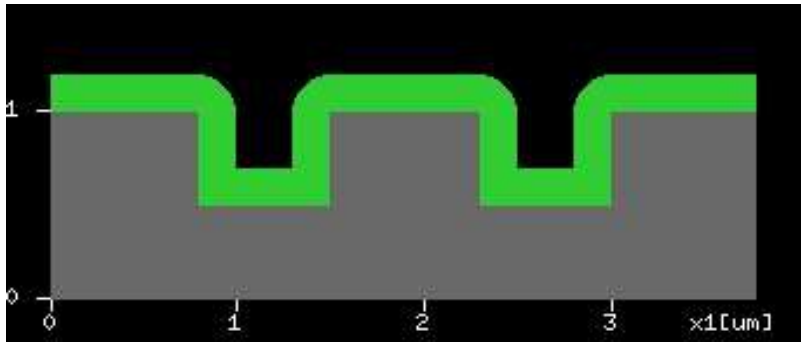
露光・現像、ベーク、レジスト膜剥離



成膜工程

CVD、PVD、酸化

CVD 表面から等方的に成膜

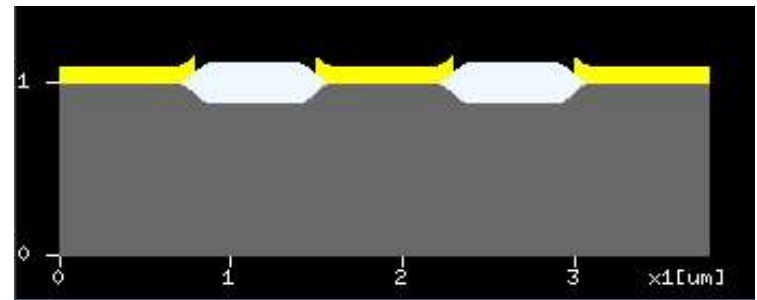


反応物質の堆積方向を考慮 PVD(スパッタ)

Si基板の一部が SiO_2 に消費



酸化

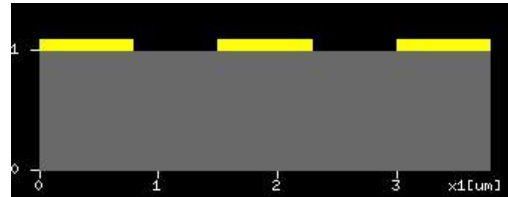


酸化の膜厚はDeal&Groveの式で計算

エッチング工程

ウェットエッチング、ドライエッチング

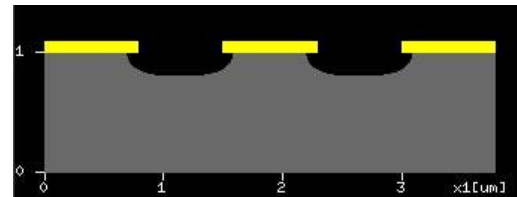
ウェットエッチング



ドライエッチング

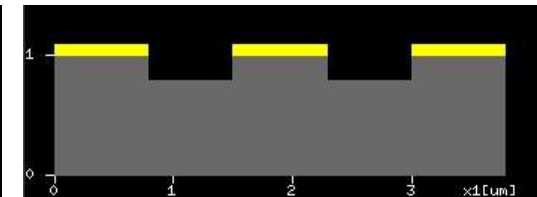


等方性RIE



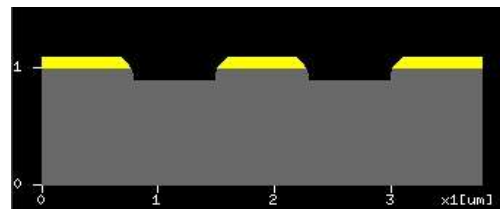
反応粒子が等方的に入射

異方性RIE、イオンビーム

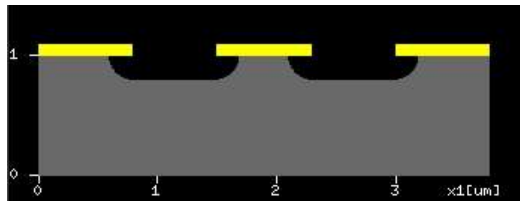


反応粒子が垂直に入射

異方性スパッタリングエッチング



周辺物質も
エッチングされる



表面から等方的に
エッチングが進行

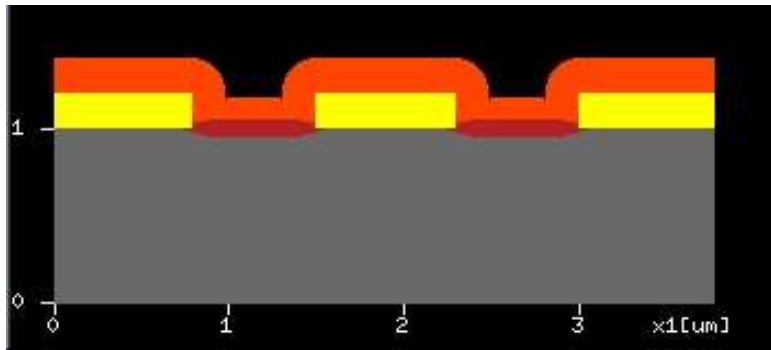
その他のプロセス

不純物注入・拡散、研磨、化合物生成

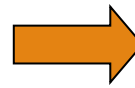
不純物注入
不純物拡散

不純物注入・拡散

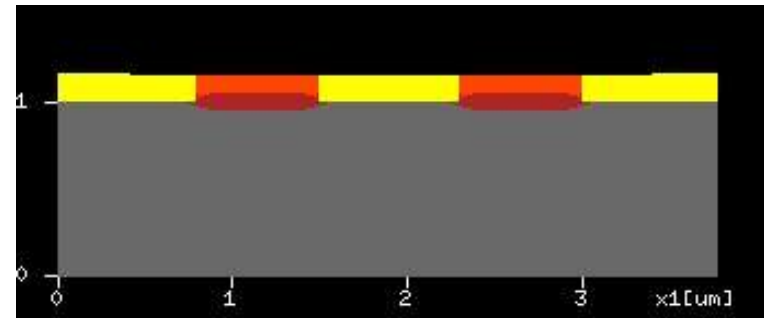
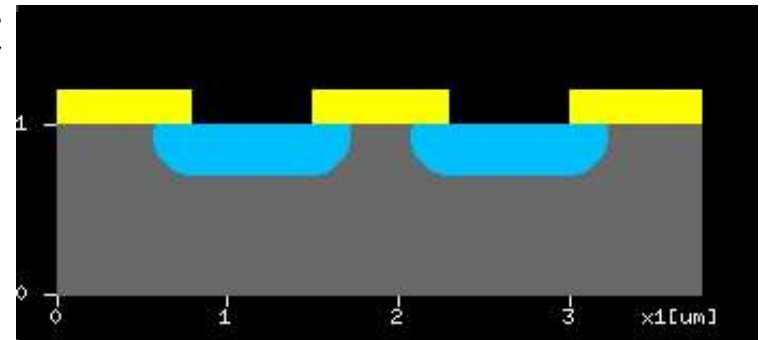
化合物生成(シリサイド化)



反応物質膜成膜
化合物(シリサイド等)生成



研磨

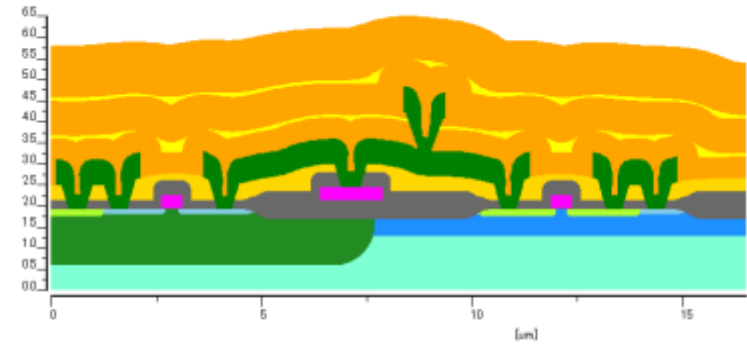
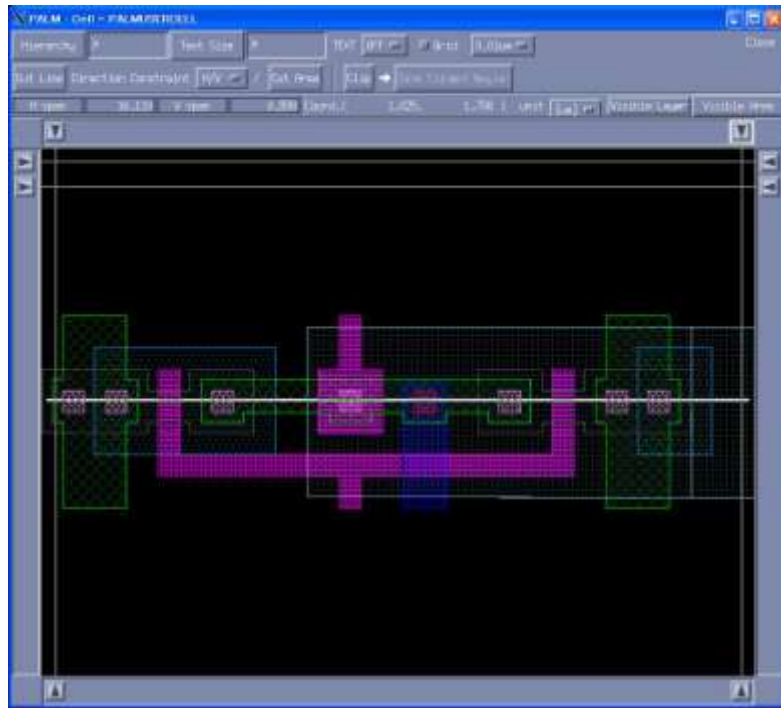


内容

- 概要
- 特長
- プロセスモデル詳細
- **形状シミュレーションの事例**
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

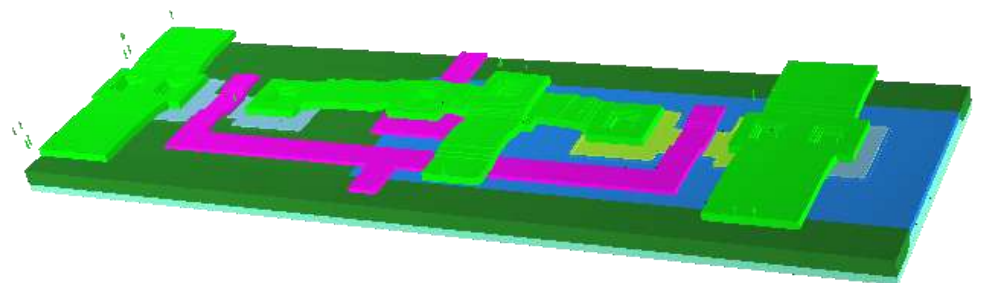
形状計算例1 (CMOS)

マスク形状



SiO ₂	SiO ₂	Al	BPSG	SiO ₂
SiO ₂ [B High]	PolySi[B High]	SiO ₂ [As High]	PolySi	PolySi[As High]
Si[B High]	Si[As High]	Si[B Low]	Si[P Low]	Si

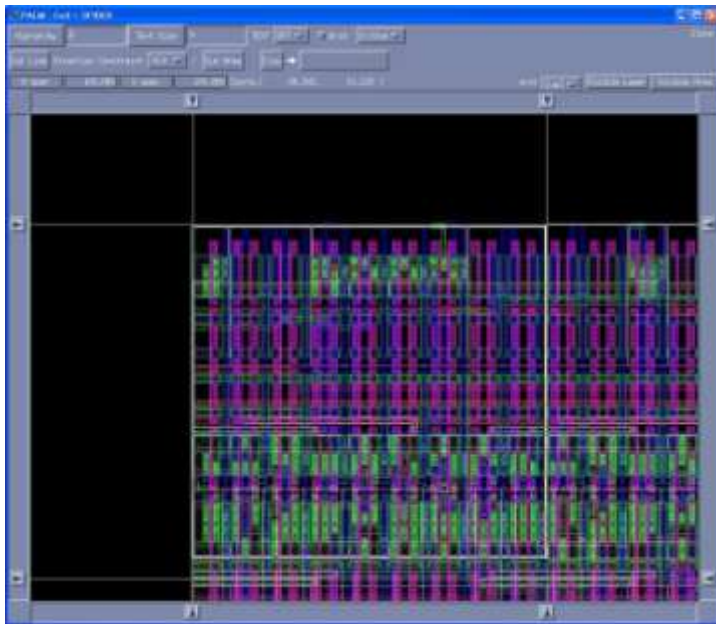
2次元形状



3次元形状

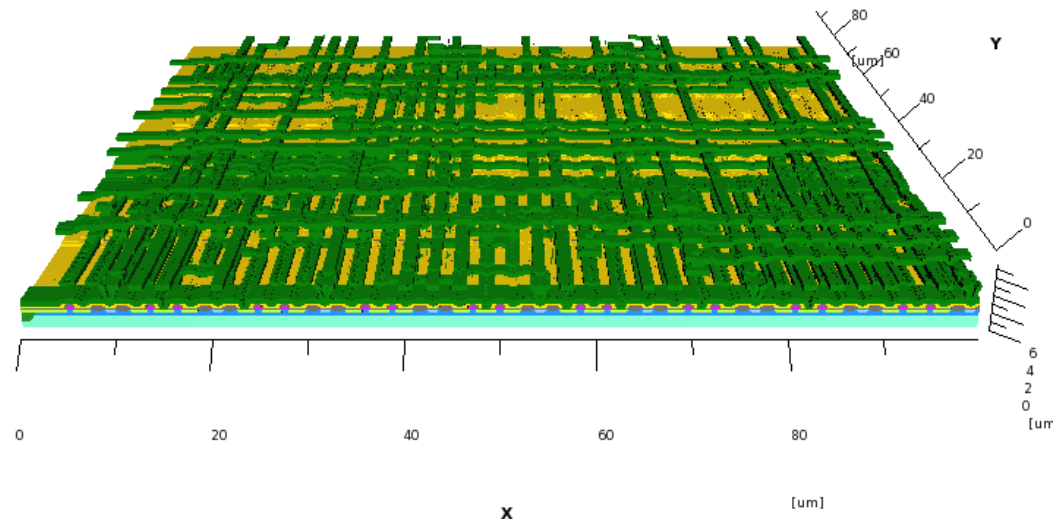
形状計算例2 (LSI配線)

マスク形状



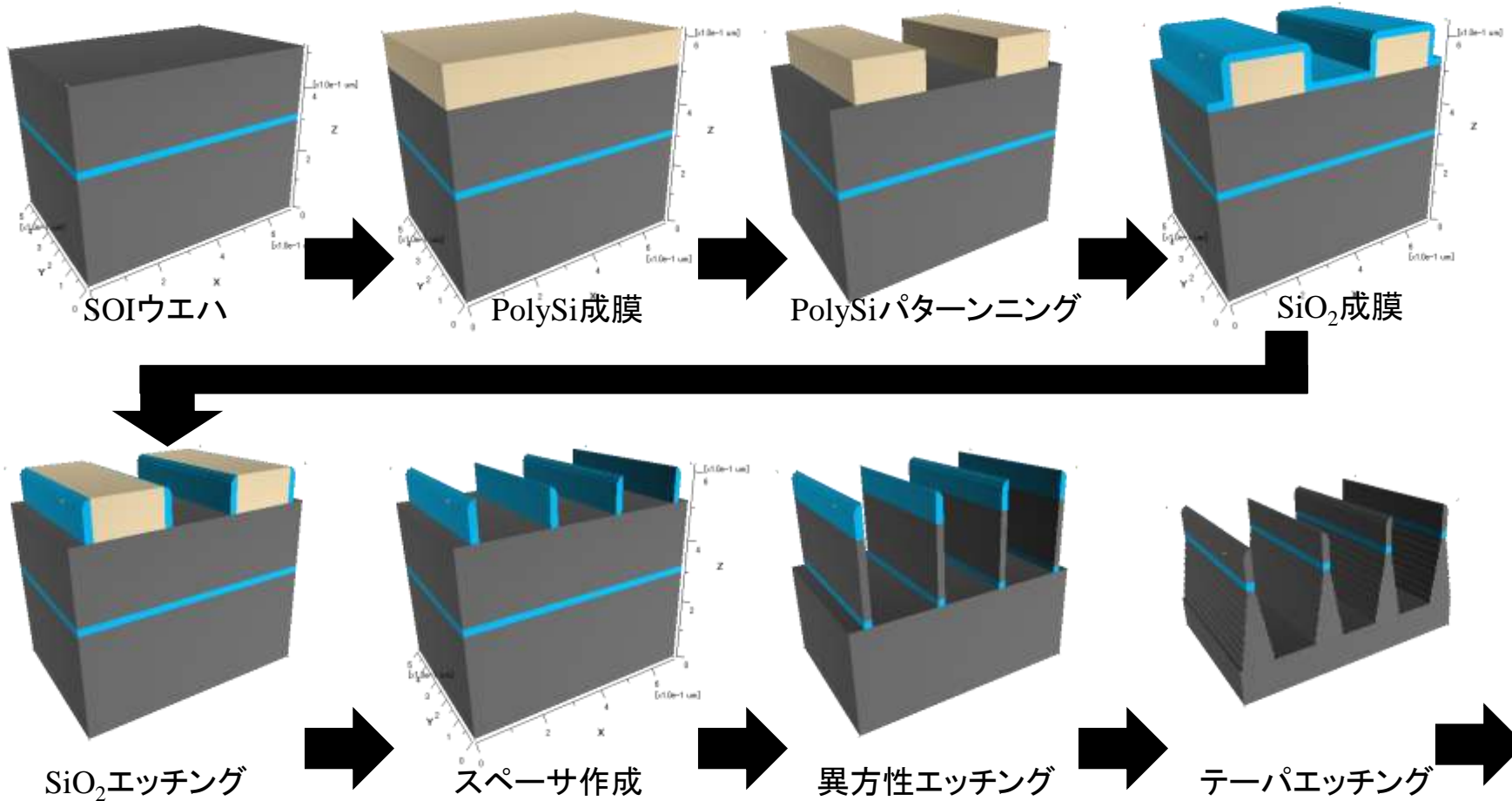
100um × 100um

3次元形状



総プロセス数77
解像度0.1um

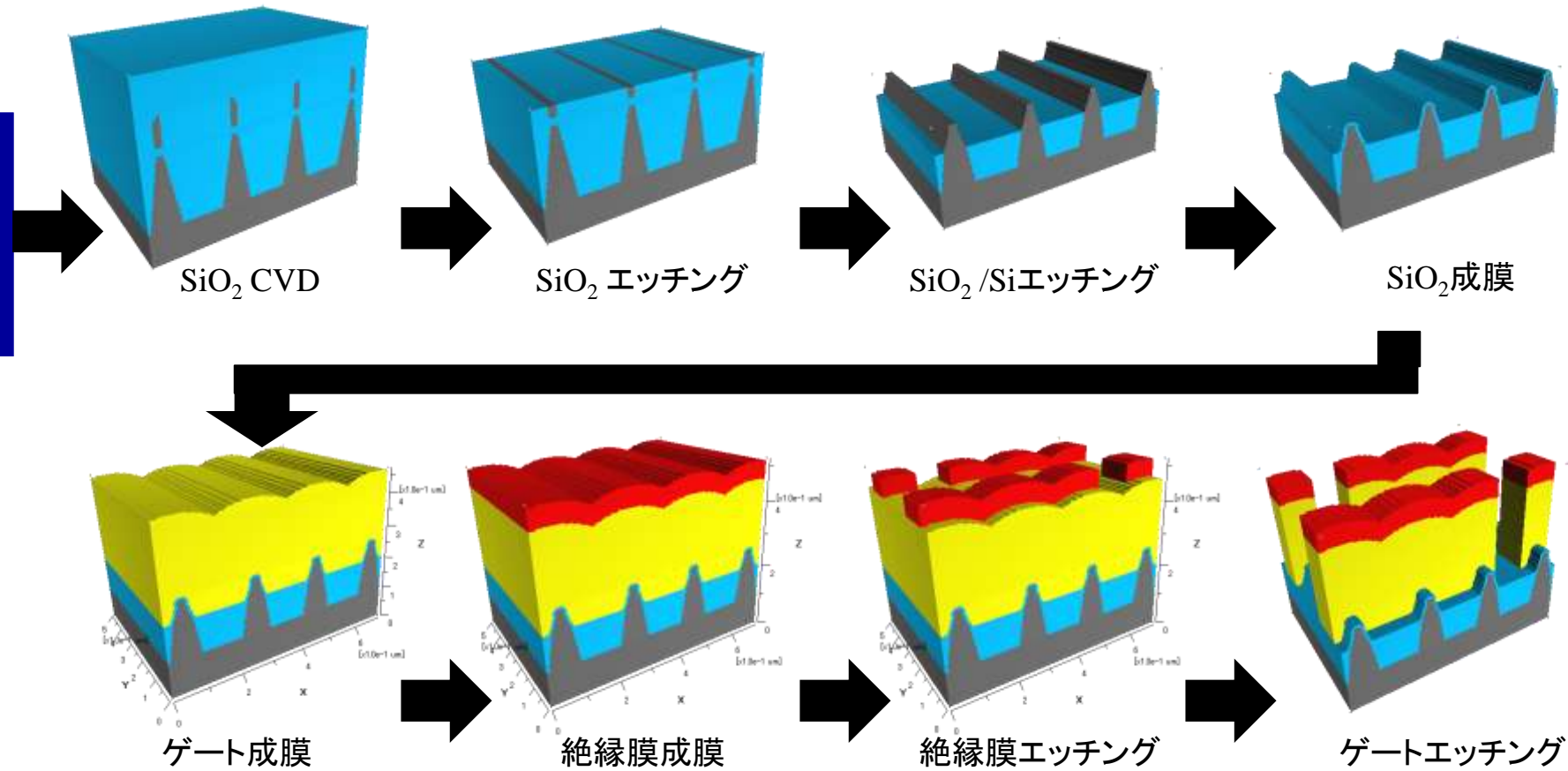
形状計算例3 (Bulk FinFET: 1/2)



次
頁
へ

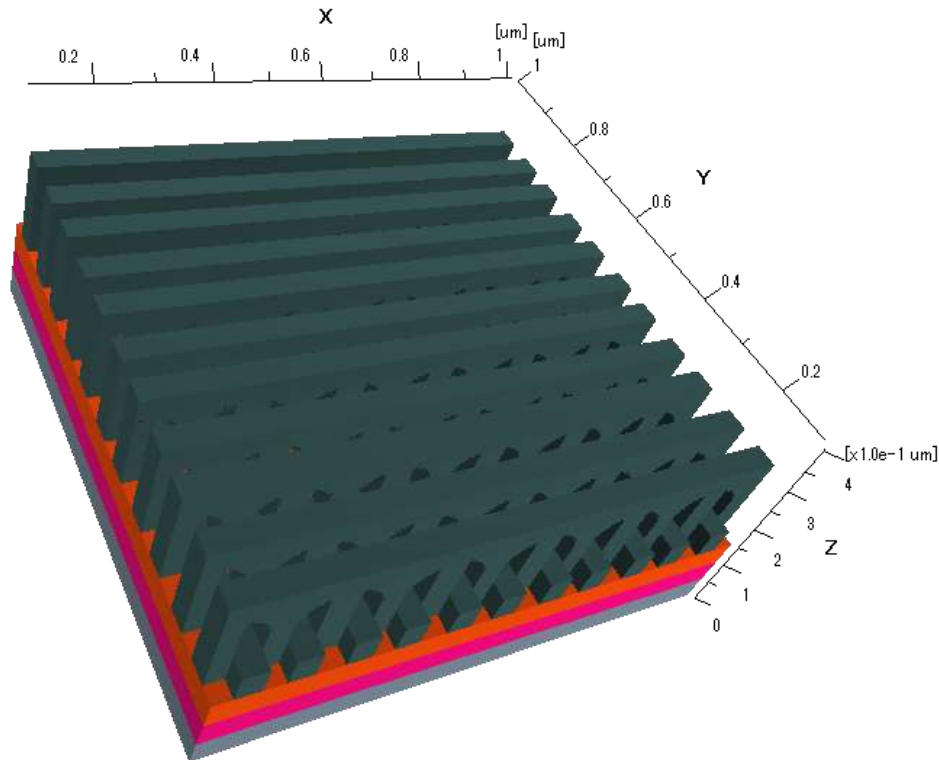
形状計算例3 (Bulk FinFET: 2/2)

前頁から



形状計算例4 (SADP)

Self Aligned Double Patterning



形状計算例5 (MEMSミラー)

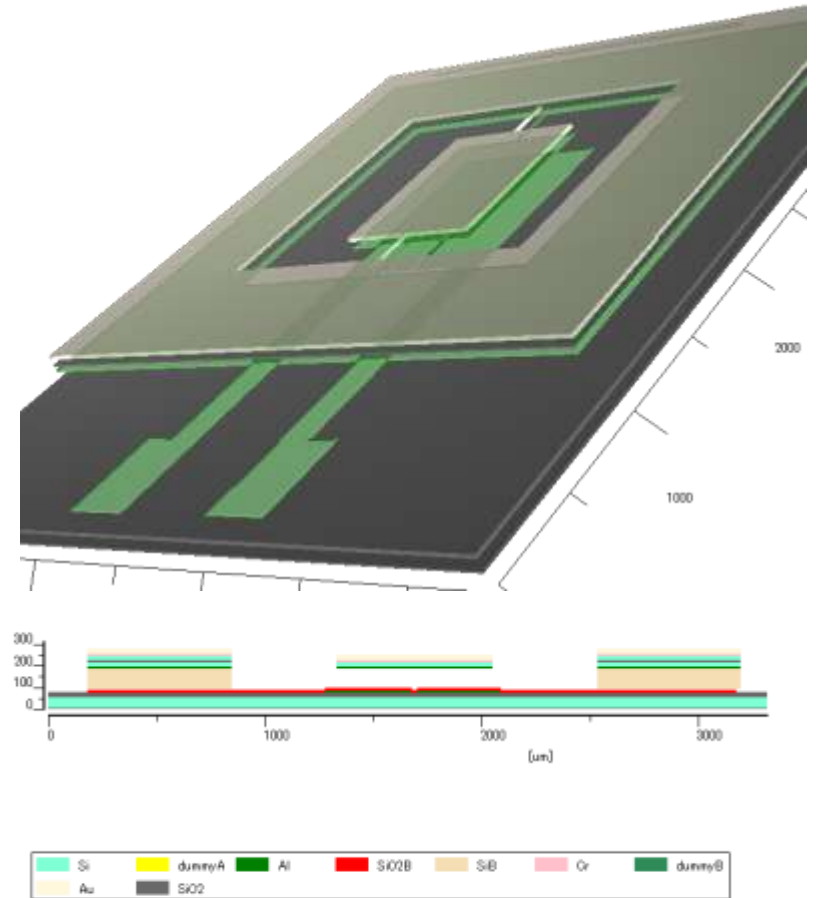
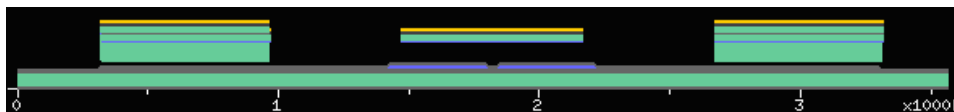
(1) ミラー部形成



(2) Al電極部形成

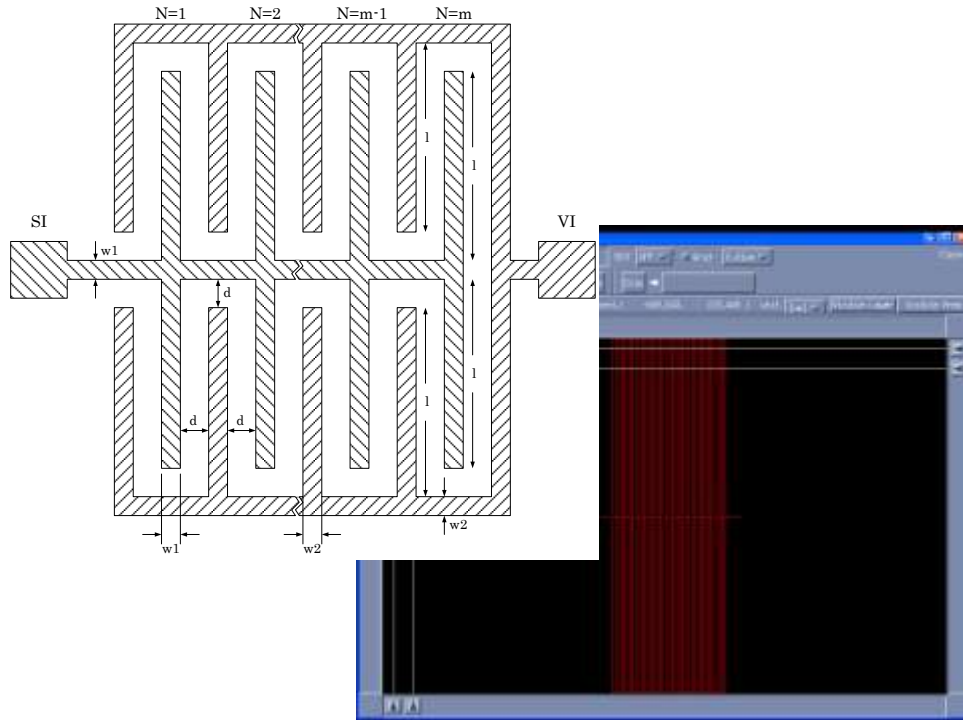


(3) ミラー部と電極部の接合

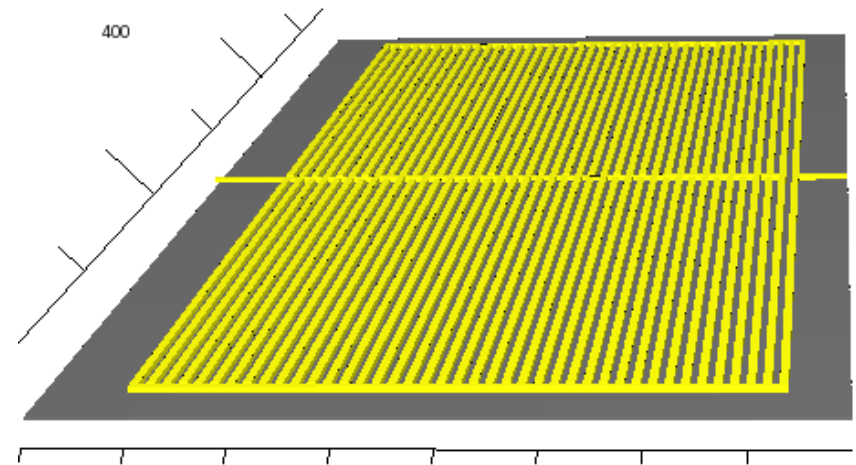


形状計算例6 (MEMS櫛齒電極)

マスク形状



3次元形状



200um × 500um

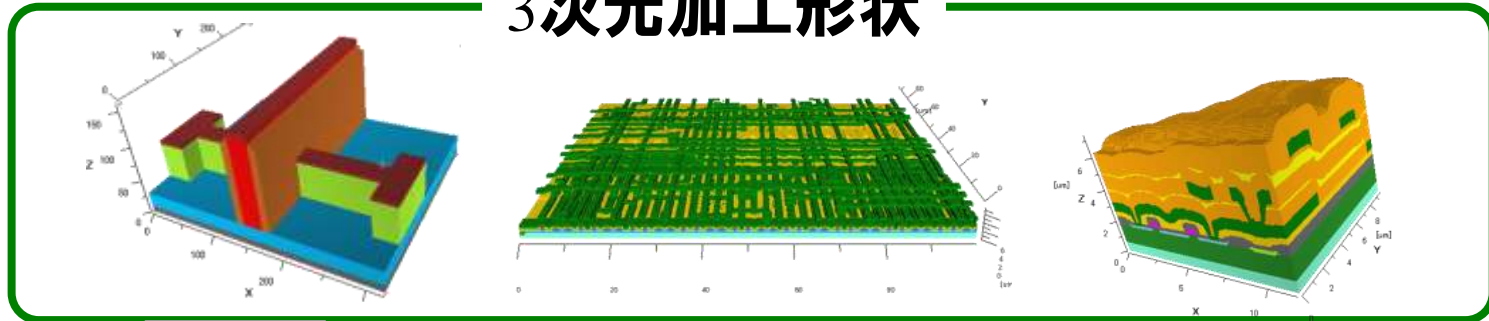
櫛齒本数20対

内容

- 概要
- 特長
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能

加工形状を各種のシミュレーションへ

3次元加工形状



容量/抵抗/インダクタンス
計算機能(CARP)

寄生容量
配線抵抗
配線間インダクタンス

回路シミュレーション

形状エクスポート機能
(LEOPARD)

STL
format

DXF
format

HFSS
format

NASTRAN
format

CAD/CAE
ツール

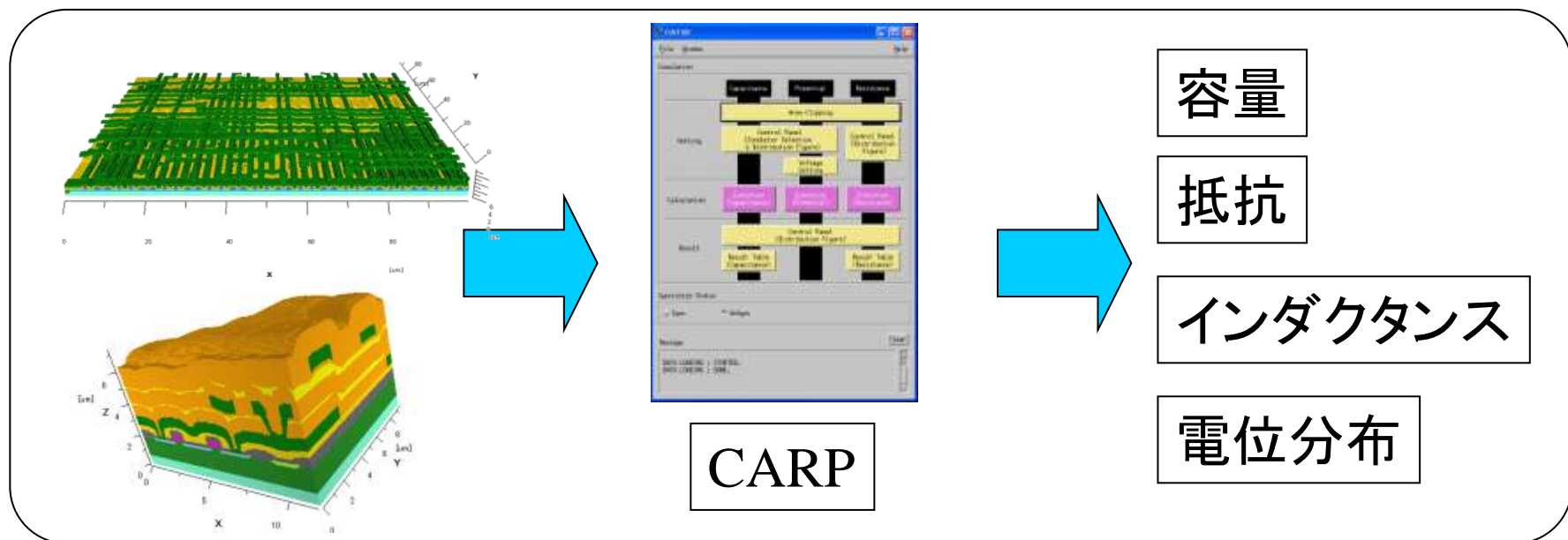
電磁波
解析

デバイス
シミュレーション

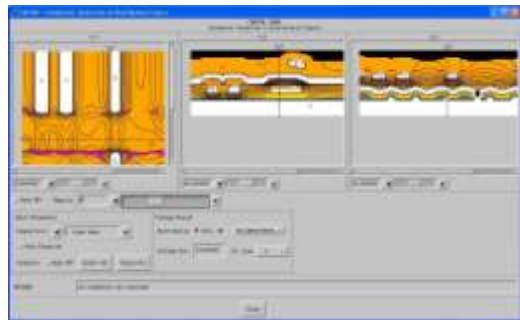
力学
解析

容量/抵抗/インダクタンス計算モジュール

PW2で作成した2次元/3次元形状から、静電場解析により、配線間容量、配線抵抗、電位分布、インダクタンスの計算をおこないます。



計算フロー



配線部自動抽出
計算配線指定

電極の接続および
フローティング指定も可能



$$\epsilon \nabla^2 V = 0$$

ポアソン方程式
ソルバー



	1	2	3	4	5	
1		1.0446e-01	5.6322e-02	1.0070e-01	1.0070e-01	5.0000e-02
2	1.1189e-01		5.7925e-02	5.7925e-02	1.0277e-01	4.2079e-01
3	1.0118e-01	1.0022e-01		1.4184e-01	1.4184e-01	5.0000e-01
4	1.0070e-01	4.7942e-01	1.3094e-01		5.0000e-01	1.0722e-01
5	1.0070e-01	1.1771e-01	1.4184e-01	5.0000e-01		1.3322e-01
6	1.0000e-01	4.2079e-01	5.0000e-01	1.0722e-01	1.3322e-01	

配線間容量

配線抵抗

配線間インダクタンス

電位分布

$$C = \frac{V}{Q}$$

$$R = \frac{V}{I}$$

$$E = \frac{1}{2} LI^2$$

特長

□ 導体自動抽出

- 形状内の全ての連続した導体を自動的に認識し、抽出。
- 任意の数の導体を対象にして計算が可能。

□ 配線結合機能

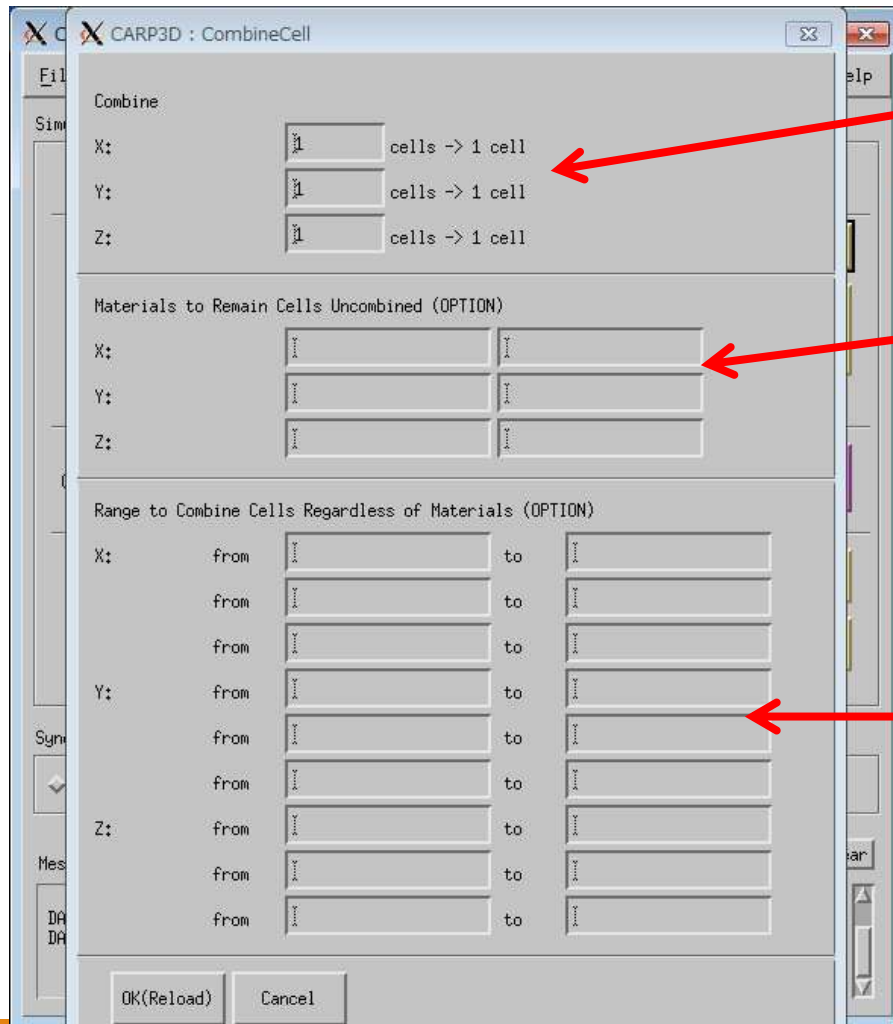
- 任意の導体同士が繋がっているものとして計算を実行。
- 形状外で繋がっている場合などに、等価回路を計算する必要無し。

□ メッシュ結合機能

- 解析領域全体、もしくは指定した領域に対して、XYZ各方向のメッシュ結合が可能(詳細は次頁)
- 本機能により、計算時間の短縮が可能。

メッシュ結合機能

CombineCell->CombineCell



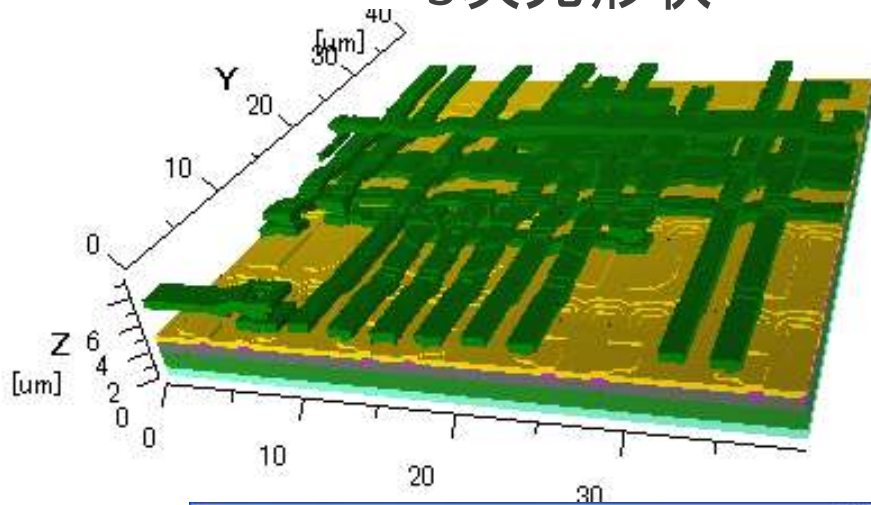
x, y, z方向について
それぞれ何Voxelを1Voxelに結合するか

上記の結合設定を適用しない材質
(薄膜などを指定してください)

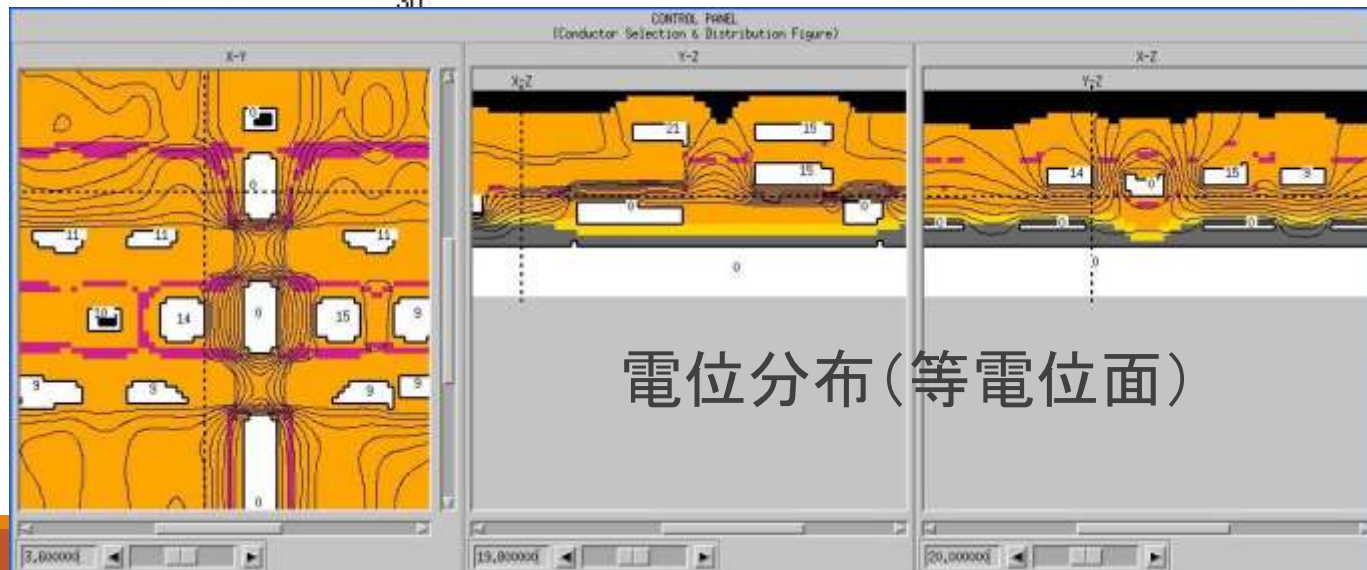
上で設定した
「結合設定を適用しない材質」
であっても、
関係なく結合を適用するx,y,z範囲
(計算領域端など、薄膜を結合しても
影響がない範囲を指定してください)

容量計算事例1 (配線間寄生容量)

3次元形状



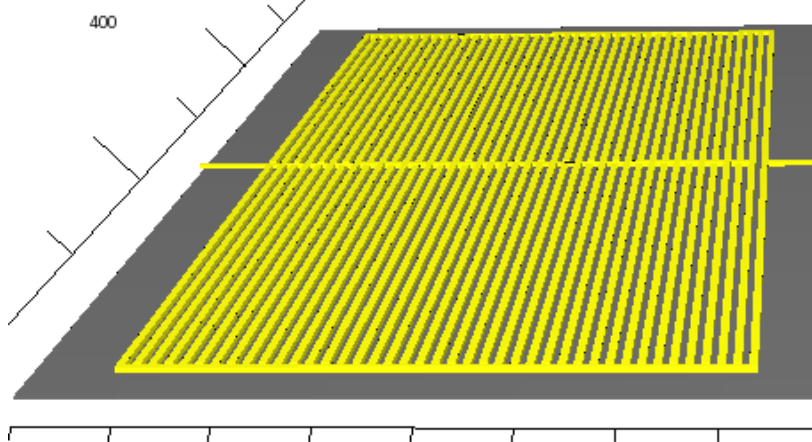
配線間寄生容量マトリックス



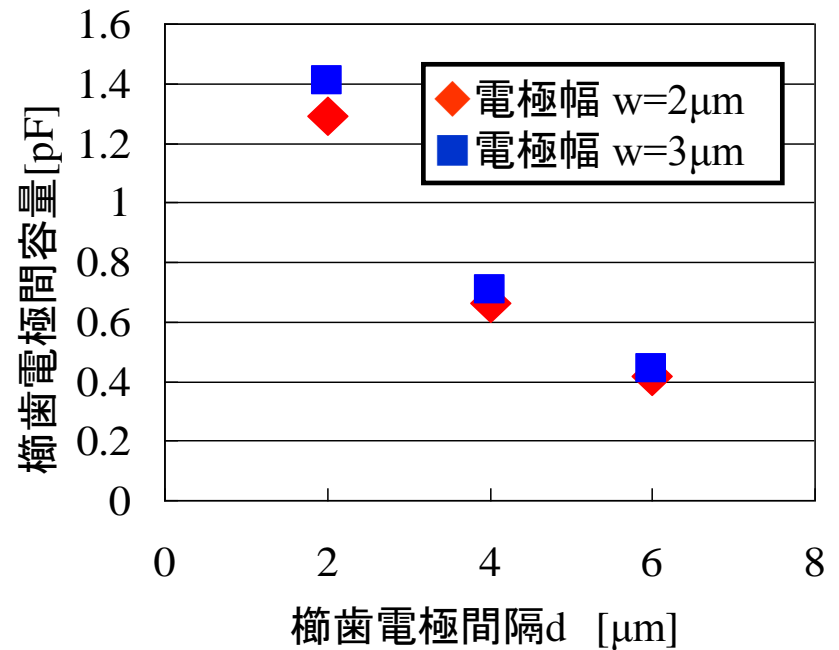
電位分布(等電位面)

容量計算事例2 (MEMS櫛齒電極)

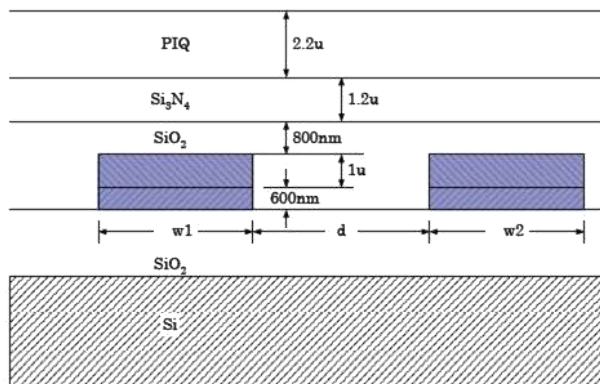
3次元形状
(電極層と基板のみ表示)



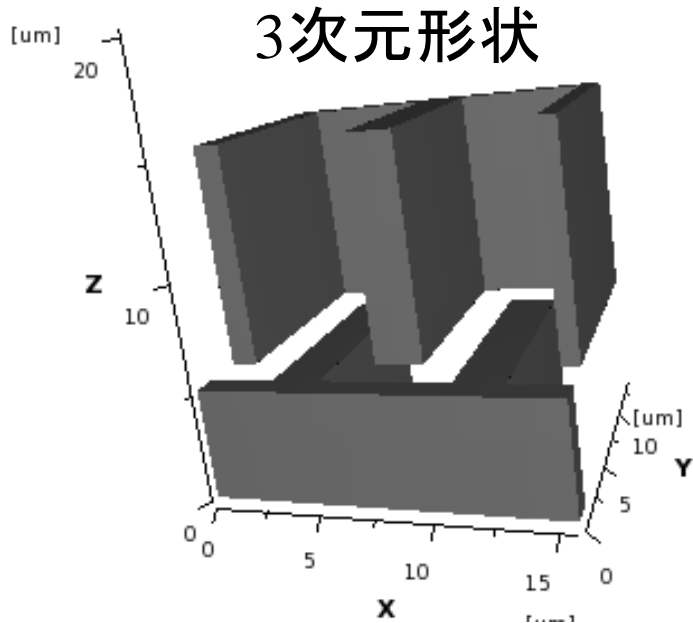
櫛齒間容量



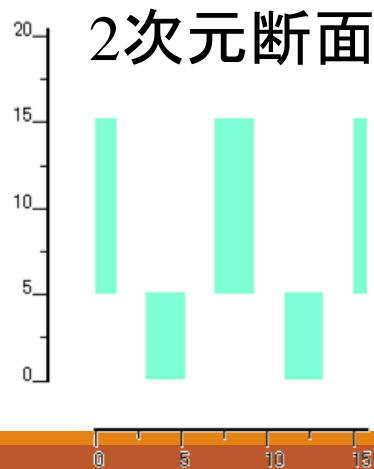
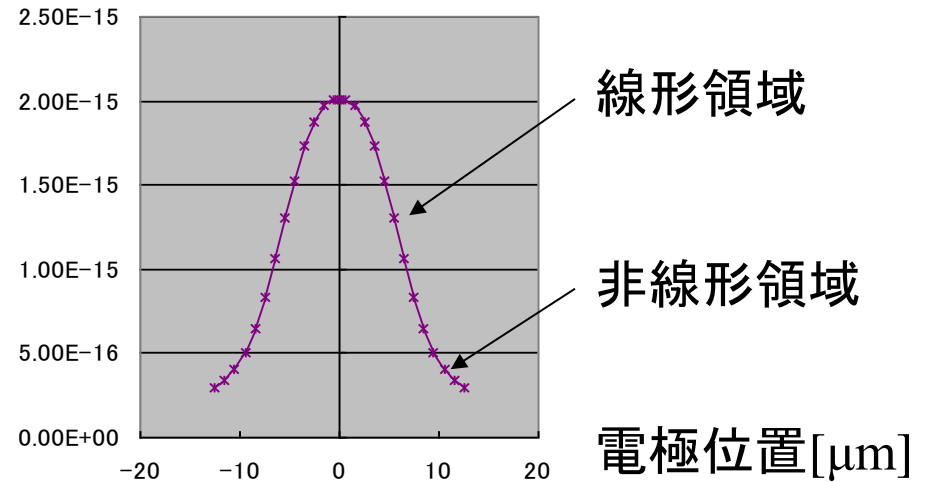
断面



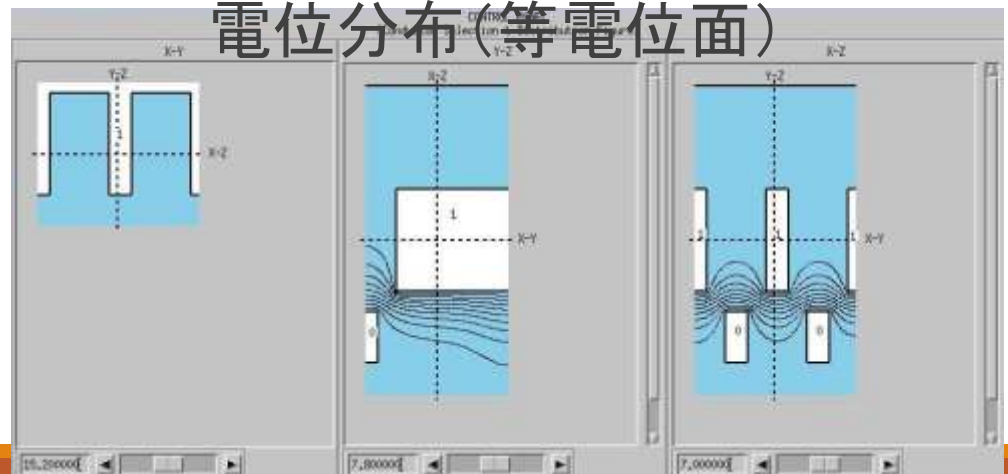
容量計算事例3 (MEMS縱型櫛齒)



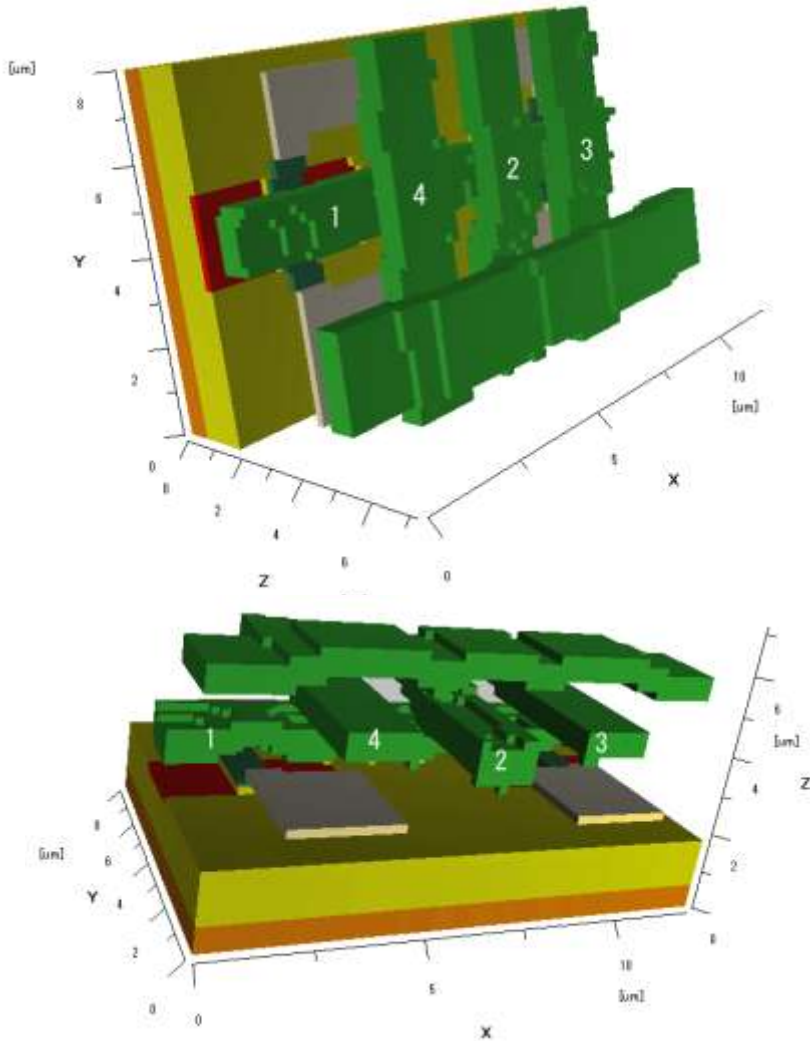
櫛齒間容量



電位分布 (等電位面)



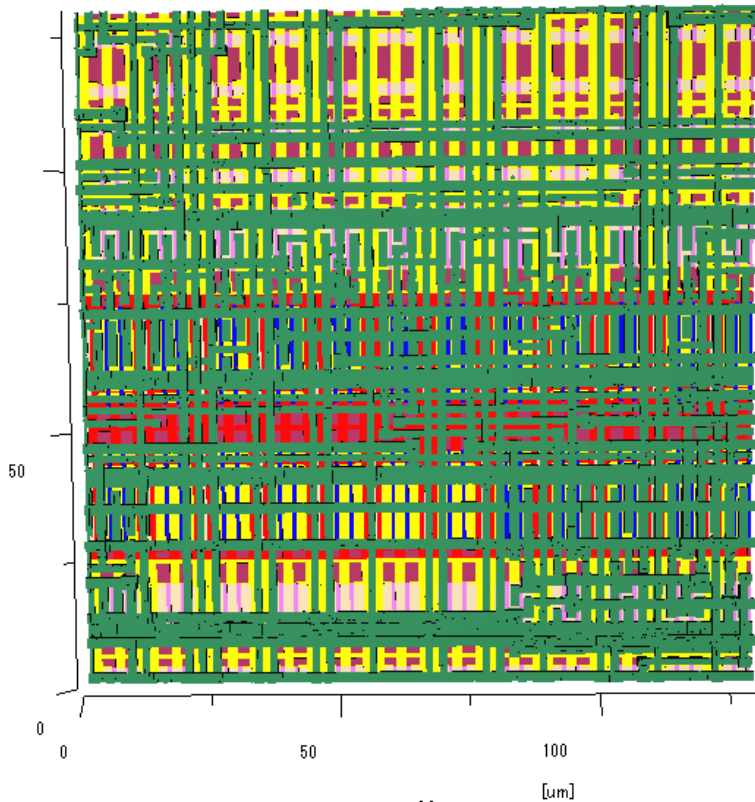
インダクタンス計算事例1 (単純配線)



計算結果

L_{ij} [pH]	1	2	3	4
1	6.90	9.92e-4	1.51e-4	2.726e-3
2		4.11	1.64	1.64
3			3.96	9.71e-1
4				3.96

インダクタンス計算事例2 (LSI配線)



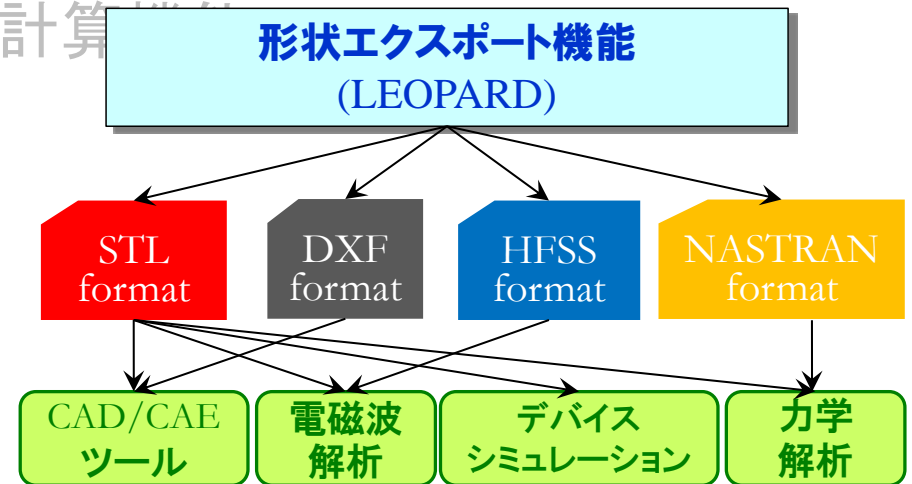
解析配線数:27本
基板サイズ:130 μm \times 130 μm

計算結果

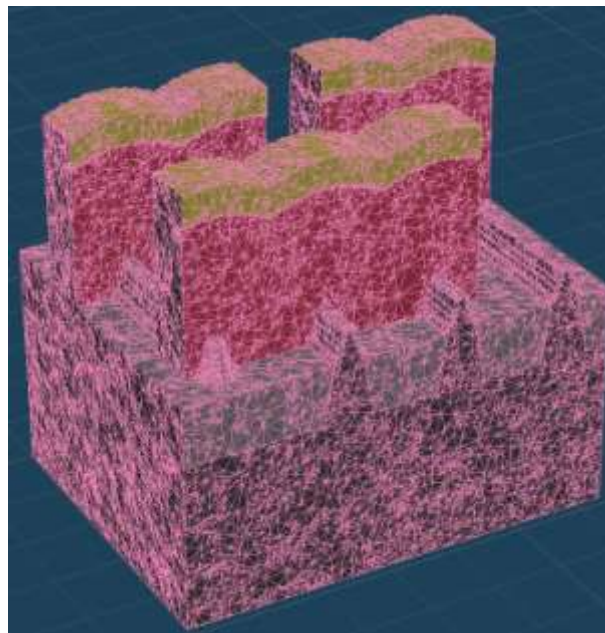
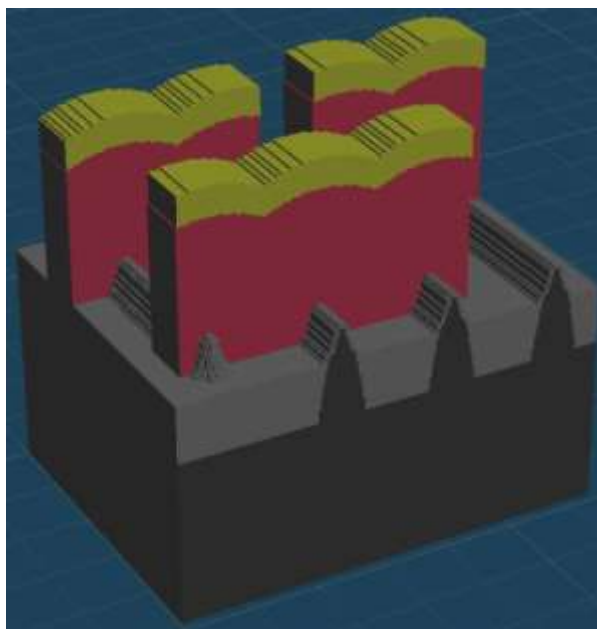
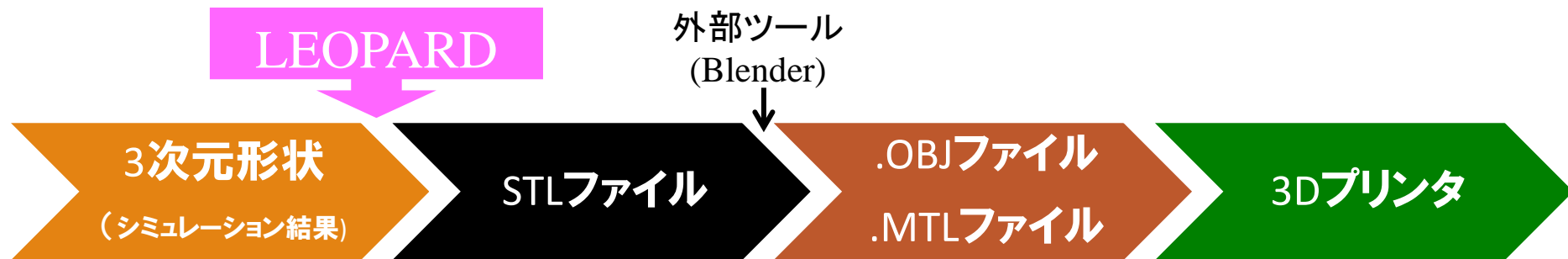
L_{ij} [pH]	1	2	3	...	27
1	1.11e+1	5.72e-1	8.03e-2		2.75e-2
2		1.27e+2	3.06e+1		1.55e+1
3			1.24e+2		2.16e+1
⋮					
27					1.26e+2

内容

- 概要
- 特長
- プロセスモデル詳細
- 形状シミュレーションの事例
- 計算で得られた形状から各種のシミュレーションへ
 - 容量・抵抗・インダクタンス計算機能
 - 形状エクスポート機能



FinFET構造のカラー3Dプリンタへの出力

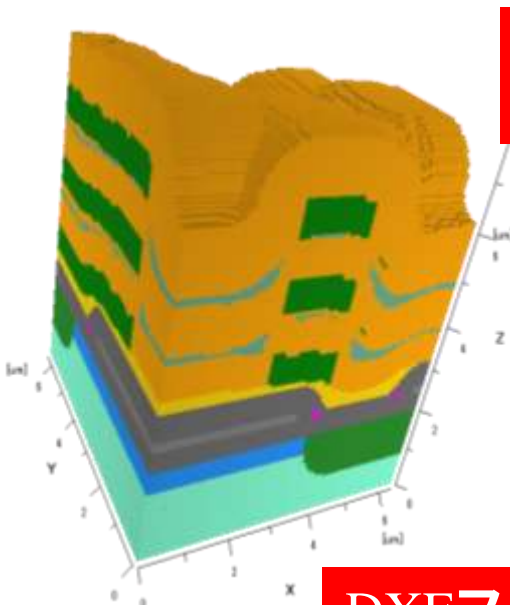


※メッシュリダクション後

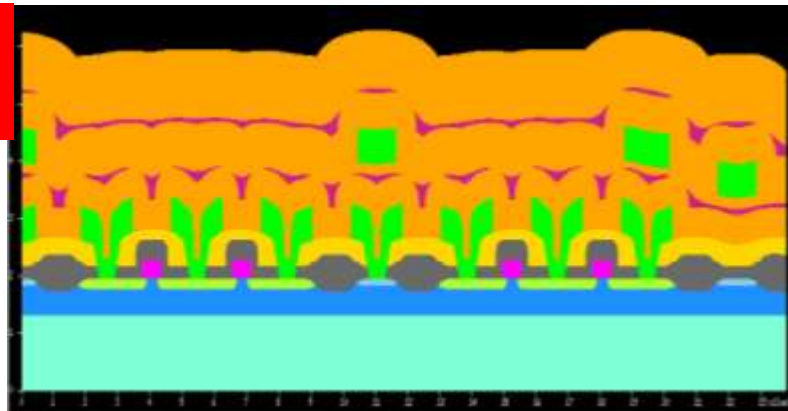


3D Systems社 Z-Printer®650

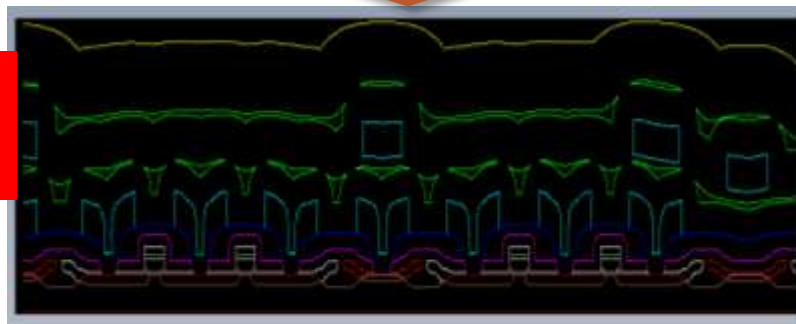
LSI断面形状の輪郭抽出事例



断面形状



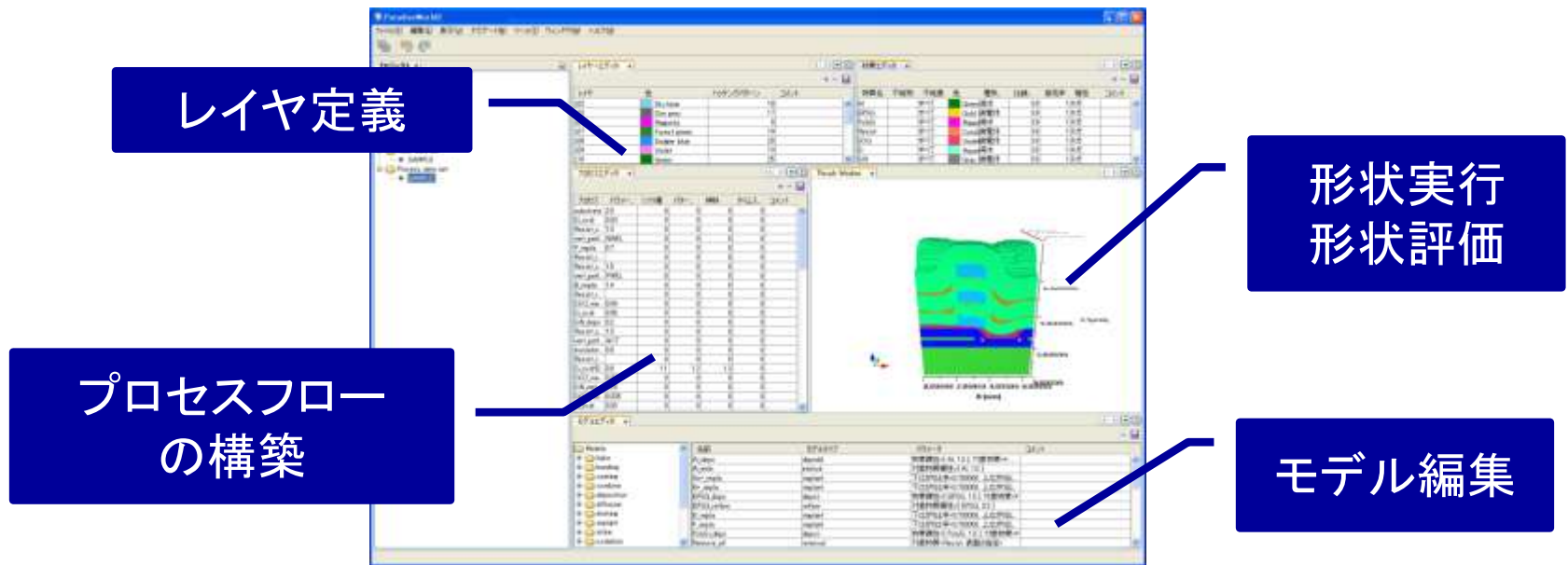
DXFフォーマット
に変換



* 各物質ごとに個別のレイヤーに輪郭形状を出力した例

新バージョンV3 機能強化項目

- 統合開発インターフェースの導入
(操作画面の抜本的見直し)
- STL出力機能の追加



まとめ

- 半導体形状シミュレータParadiseWorld-2を紹介した.
- ボクセル法の採用により, レベルセット法やストリング法では難しい複雑形状を高速・安定・高精度に計算可能.
- 統合開発インタフェース上で一括した設計検討が可能.
- 形状計算結果は, 容量・抵抗・インダクタンス計算機能にシームレスに接続可能.
- 形状エクスポート機能により, STL/DXF/Nastran/HFSS形式に変換し, 種々のシミュレーションに繋げることが可能.